

## 概要

PSoC® 4 は、ARM® Cortex™-M0 CPU を内蔵したプログラマブル組み込みシステム コントローラー ファミリ用の拡張可能かつ再設定可能なプラットフォーム アーキテクチャです。プログラム可能かつ再設定可能なアナログ ブロックとデジタル ブロックを柔軟な自動配線で組み合わせて形成されます。このプラットフォーム アーキテクチャに基づいた PSoC4100M デバイス ファミリは、マイクロコントローラーとデジタル プログラマブル ロジック、プログラマブル アナログ、プログラム マブル 相互接続、高性能 アナログ - デジタル 変換 (ADC)、コンパレータ モード付きのオペアンプ、標準通信とタイミング ペリフェラルを組み合わせて構成されます。新しいアプリケーションや設計ニーズとして、PSoC 4100M 製品として PSoC4 プラットフォームのメンバーとの完全な互換性があります。プログラマブル アナログとデジタル サブシステムにより、設計には柔軟性があり、インフィールド (in-field) チューニングも可能です。

## 特長

### 32 ビット MCU サブシステム

- シングル サイクルの乗算に対応した 24MHz ARM Cortex-M0 CPU
- 読み出し 加速装置を備えた 128KB までのフラッシュ
- 最大 16KB の SRAM
- DMA エンジン

### プログラマブルなアナログ サブシステム

- ディープスリープ モードで超低電流 レベルにおいて動作する 4 個のオペアンプ
- すべてのオペアンプには、リコンフィギュレーション可能な高電流 ピン 駆動、高帯域幅 内部 駆動、ADC 入力バッファリング、すべてのピンへの入力接続が可能となる柔軟な接続正を持つコンパレータ モードがあります。
- 任意のピンでの汎用または静電容量センシング 用途向けの 4 個の電流 DAC (IDAC)
- ディープスリープ モードで動作する 2 個の低消費電力 コンパレータ
- 12 ビット SAR ADC (変換速度が 806Ksps)

### 低電圧 1.71V ~ 5.5V で動作

- ストップ モード時: 20nA 電流で GPIO ウェイクアップが有効
- ハイバネートとディープスリープ モードにより、復帰時間と電力とをトレードオフ可能。

### 静電容量センシング

- サイプレスの静電容量シグマ - デルタ (CSD) 技術がクラス 最高の SNR (>5:1) および耐水性を提供
- サイプレスが提供したソフトウェア コンポーネントが静電容量センシングの設計を簡易化
- ハードウェア自動チューニング (SmartSense™)

### セグメント LCD ドライブ

- あらゆるピンでの LCD ドライブ (コモンまたはセグメント)
- ディープスリープ モードでの動作に対応、ピン毎に 4 ビット メモリ

### シリアル通信

- 再設定可能な I<sup>2</sup>C、SPI、または UART 機能を備えた 4 個の独立した、実行時に再設定可能なシリアル通信 ブロック (SCB)

### タイミングおよびパルス幅の変調

- 8 個の 16 ビット タイマー / カウンター パルス幅変調器 (TCPWM) ブロック
- 中央揃え、エッジ、および疑似ランダム モード
- モーター ドライブや他の高信頼性 デジタル ロジック アプリケーション用のキル (Kill) 信号のコンパレータ ベースのトリガー

### パッケージ オプション

- 68 ピン QFN、ピッチ幅: 広 / 狹 64 ピン TQFP、48 ピン TQFP パッケージ
- 最大 55 のプログラム可能な GPIO
- GPIO ピンは CapSense、LCD、アナログ、またはデジタルに対応
- 駆動 モード、駆動力、およびスルーレートは設定可能

### PSoC Creator の設計環境

- 統合開発環境 (IDE) が回路図 デザインの組み込み、内蔵を提供 (アナログとデジタル 自動配線に対応)
- すべての機能固定かつプログラム可能なペリフェラル 向けの アプリケーション プログラミング インターフェース (API) コンポーネント

### 業界標準のツールとの互換性

- 回路図のエントリ後、開発が ARM に基づいた業界標準の開発ツールで行うことが可能

## 詳細情報

サイプレスは、[www.cypress.com](http://www.cypress.com) に大量のデータを掲載しているため、ユーザーはこれらの情報に基づいてデザインに適切な PSoC デバイスを選択することができ、デバイスをデザインに迅速で効果的に統合することもできます。リソースの総合リストについては、知識ベース記事「[KBA86521, How to Design with PSoC 3, PSoC 4, and PSoC 5LP](#)」を参照してください。以下は、PSoC 4 の要約です。

- **概要: PSoC ポートフォリオ、PSoC ロードマップ**
- **製品セレクタ: PSoC 1, PSoC 3, PSoC 4, PSoC 5LP**  
また、PSoC Creator にはデバイス選択ツールが装備されています。
- **アプリケーションノート:** サイプレスは、基本レベルから高度なレベルまでの様々なトピックに触れる大量の PSoC アプリケーションノートを提供します。以下は、PSoC 4 入門用の推奨アプリケーションノートです。
  - [AN79953: Getting Started With PSoC 4](#)
  - [AN88619: PSoC 4 Hardware Design Considerations](#)
  - [AN86439: Using PSoC 4 GPIO Pins](#)
  - [AN57821: Mixed Signal Circuit Board Layout](#)
  - [AN81623: Digital Design Best Practices](#)
  - [AN73854: Introduction To Bootloaders](#)
  - [AN89610: ARM Cortex Code Optimization](#)

## PSoC Creator

PSoC Creator は無料の Windows ベースの統合設計環境 (IDE) です。これを使って、PSoC 3、PSoC 4、および PSoC 5LP ベースのシステムのハードウェアとファームウェアを同時設計することができます。100 以上の事前検証済みで量産使用が可能な PSoC Component をサポートしている従来の使い慣れた回路図キャプチャを使って設計しています。Component データシートのリストを参照してください。PSoC Creator により、以下のことができます。

1. 主な設計ワークスペースにアイコンをドラッグアンドドロップして、ハードウェアシステムデザインを内蔵
2. PSoC Creator IDE の C コンパイラを使用してアプリケーションのファームウェアと PSoC ハードウェアを相互設計

### ■ 技術リファレンス マニュアル (TRM):

- **アーキテクチャ TRM:** PSoC 4 のすべての機能ブロックを説明します。
- **レジスタ TRM:** すべての PSoC 4 レジスタを説明します。

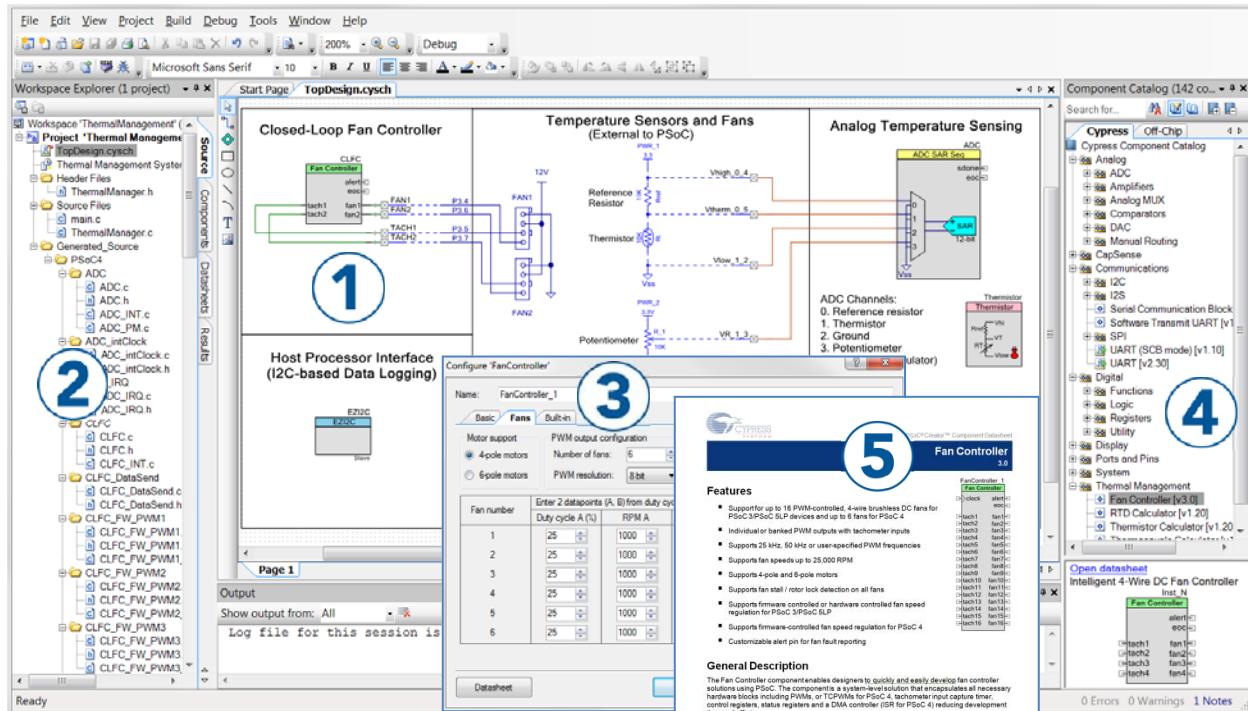
### ■ 開発キット:

- **CY8CKIT-042:** PSoC 4 Pioneer Kit は、使いやすくて安い開発プラットフォームです。このキットには、Arduino™ 準拠シードおよび Digilent® Pmod™ ドーターカード用コネクタを搭載しています。
- **CY8CKIT-049** は、超低コストのプロトタイプ プラットフォームで、サンプリング PSoC 4 デバイスの低コストの代替です。
- **CY8CKIT-001** は、PSoC 1、PSoC 3、PSoC 4、または PSoC 5LP ファミリのデバイスのいずれかの共通開発プラットフォームです。

MiniProg3 デバイスは、フラッシュのプログラミングとデバッグ用のインターフェースを提供します。

3. コンフィギュレーション ツールを使って、コンポーネントを設定
4. 100 以上のコンポーネントライブラリを用意
5. Component データシートをレビュー

図 1. PSoC Creator のマルチセンサー プロジェクト例

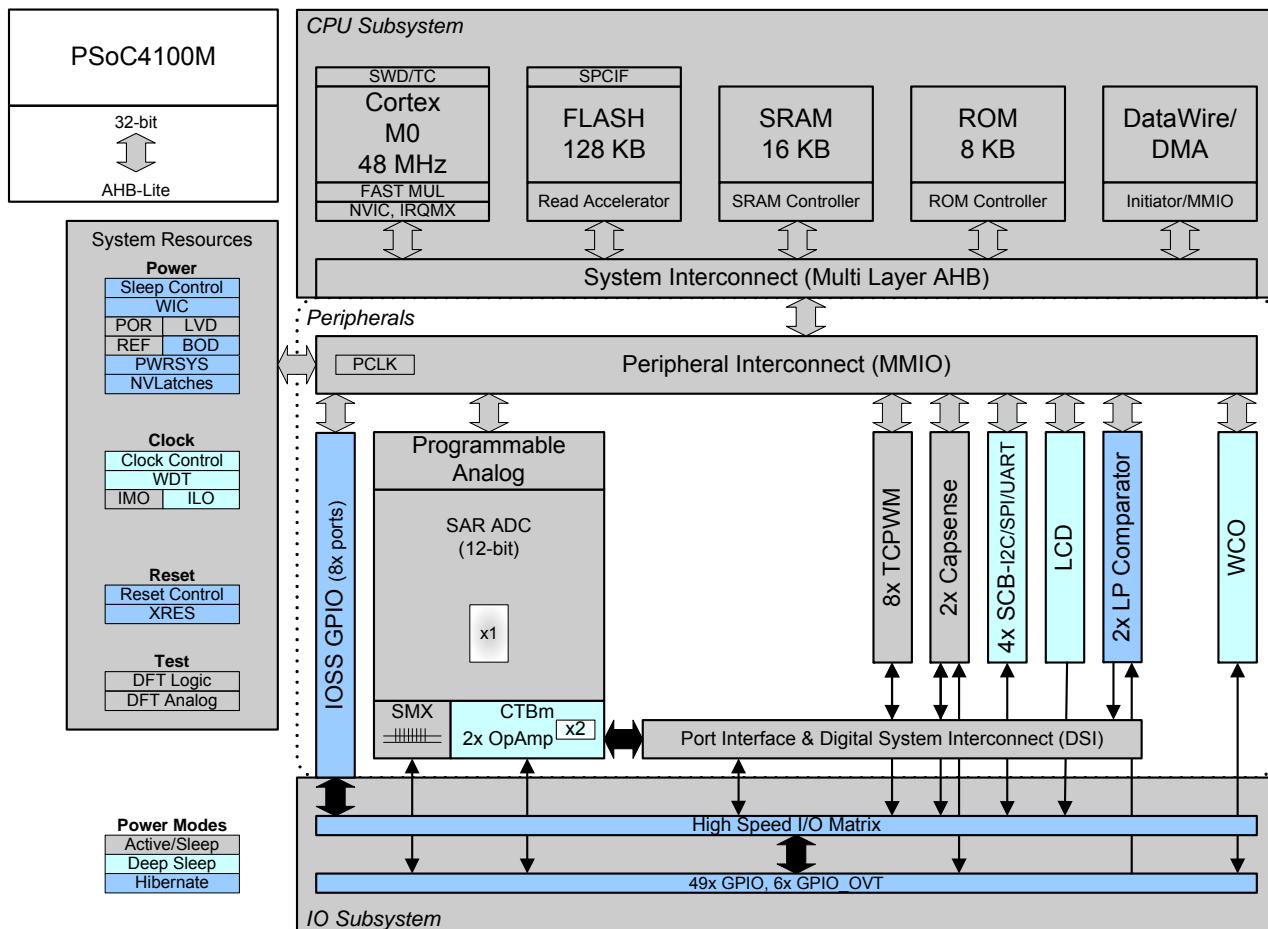


## 目次

<b>PSoC 4100M ブロック図</b>	<b>4</b>
<b>機能の説明</b>	<b>5</b>
CPU およびメモリ サブシステム	5
システム リソース	5
アナログ ブロック数	6
固定機能デジタル	7
GPIO	8
特殊機能ペリフェラル	8
ピン配置	9
<b>電源</b>	<b>13</b>
非安定化外部電源	13
安定化外部電源	13
<b>開発サポート</b>	<b>14</b>
資料	14
オンライン	14
ツール	14
<b>電気的仕様</b>	<b>15</b>
絶対最大定格	15
デバイス レベルの仕様	15

アナログ ペリフェラル	19
デジタルペリフェラル	24
メモリ	26
システム リソース	27
<b>注文情報</b>	<b>30</b>
型番の命名規則	31
<b>パッケージ</b>	<b>32</b>
<b>略語</b>	<b>35</b>
<b>本書の表記法</b>	<b>37</b>
測定単位	37
<b>変更履歴</b>	<b>38</b>
<b>セールス、ソリューションおよび法律情報</b>	<b>39</b>
ワールドワイドな販売と設計サポート	39
製品	39
PSoC® ソリューション	39
サイプレス開発者コミュニティ	39
テクニカル サポート	39

## PSoC 4100M ブロック図



PSoC 4100M デバイスは、ハードウェアとファームウェアの両方のプログラミング、テスト、デバッグ処理、および配線の幅広いサポートに対応しています。

ARMシリアルワイヤデバッグ(SWD)インターフェースは、デバイスのすべてのプログラミングとデバッグ機能に対応しています。

完全なデバッグオンチップ(DoC)機能により、標準の量産デバイスを使用した最終システムでデバイスの完全なデバッグ処理が可能になります。専用のインターフェース、デバッグポッド、シミュレータ、あるいはエミュレータは不要です。デバッグに完全に対応するために必要なものは、通常のプログラミングを使う接続だけです。

PSoC Creator統合開発環境(IDE)は、PSoC 4100Mデバイス用の完全にコンパイルされたプログラミングとデバッグのサポートを提供します。SWDインターフェースは、業界標準のサードパーティ製ツールと完全互換です。PSoC 4100M ファミリーは、デバッグ機能を無効にすることができ、堅牢なフラッシュ保護に対応し、カスタマ独自の機能がオンチッププログラマブルブロックに実装できるようにするために、マルチチップア

プリケーションソリューションやマイクロコントローラーで実現できないセキュリティレベルを提供します。

デバッグ回路はデフォルトで有効にされており、ファームウェアでのみ無効にすることができます。有効にされていない場合、再度有効にする唯一の方法は、デバイス全体を消去しフラッシュ保護をクリアしてデバッグ処理を有効にする新しいファームウェアでデバイスをプログラムし直すことです。

さらに、悪意を持ってデバイスを再プログラムすることに起因するファッティング攻撃、またはフラッシュプログラミングサイクルを開始して割り込むことでセキュリティシステムを打倒しようという意図が懸念されるアプリケーションに対して、すべてのデバイスインターフェースを恒久的に無効にすることができます。最大限のデバイスセキュリティが有効の時にはすべてのプログラミング、デバッグ、テストインターフェースが無効にされるため、デバイスセキュリティが有効にされたPSoC 4100Mでは不具合解析の応答はできません。これは、PSoC 4100Mでユーザーが行えるトレードオフです。

## 機能の説明

### CPU およびメモリ サブシステム

#### CPU

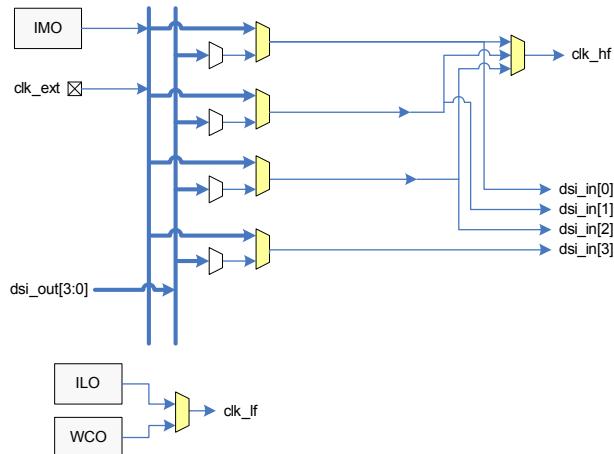
PSoC 4100M 内の Cortex-M0 CPU は 32 ビット MCU サブシステムの一部であり、広範なクロック ゲーティングに対応した低消費電力動作に最適化されています。ほとんどの命令の長さは 16 ビットであり、Thumb-2 命令セットのサブセットを実行します。サイクロスは本製品に、1 サイクル内で 32 ビットの結果を出すハードウェア乗算器を含め実装しました。これは、32 の割り込み入力を持つネスト型ベクタ割り込みコントローラー (NVIC) ブロックとウェイクアップ割り込みコントローラー (WIC) を含んでいます。WIC はディープスリープ モードからプロセッサを復帰させることができます。これにより、チップがディープスリープ モードにある時にメイン プロセッサへの電源を切ることができます。Cortex-M0 CPU はマスク不可能割り込み (NMI) 入力を提供しています。これは、ユーザーが要求したシステム機能用に使用されていない時、ユーザーによって使用できます。

また CPU は、2 線式の JTAG であるシリアル ワイヤデバッグ (SWD) インターフェースも備えています。PSoC 4100M 用のデバッグコンフィギュレーションには、4 個のブレークポイント (アドレス) コンパレータと 2 個のウォッチポイント (データ) コンパレータがあります。

#### フラッシュ

PSoC 4100M は、フラッシュ ブロックからの平均アクセス時間を改善するために CPU に密結合された、フラッシュ アクセラレータを備えたフラッシュ モジュールを持っています。フラッシュ アクセラレータはシングル サイクル SRAM のアクセス性能と比較して、アクセス時間平均 85% を達成します。必要に応じて、EEPROM 動作をエミュレートするためにフラッシュ モジュールの一部を使用できます。

図 2. PSoC 4100M MCU のクロッキングアーキテクチャ



clk\_hf 信号は、UDB およびアナログとデジタル ペリフェラル用に同期クロックを生成するために分周することができます。PSoC 4100M は、合計で 16 個のクロック分周器を備えており、それぞれが 16 ビットに分周できます。この内、12 個が機能固定ブロックに使用可能で、残り 4 個は UDB に使用可能です。アナログクロックにより、デジタルクロックはデジタルクロックによるノイズが生成される前にアナログイベントが発生する

#### SRAM

SRAM メモリはハイバネート モード中に保持されます。

#### SROM

ブートおよびコンフィギュレーション ルーチンを含んでいる監視 ROM (SROM) が提供されます。

#### DMA

提供される DMA エンジンは、32 ビット転送を実行することができ、チーン可能なピンポン ディスクリプタを持っています。

#### システム リソース

##### 電源システム

電力システムは、[ページの 13 電源](#) の節で詳しく説明されます。電源システムは各モードに応じた電圧レベルを保証します。これを実現するために、機能の正常な動作に必要な電圧レベルを達成するまでモードへの移行を遅延させる(例えば、パワーオンリセット (POR) の時)、またはリセット(電圧低下検出 (BOD) が割り込み(低電圧検出 (LVD))を生成します。PSoC 4100M は、1.71 ~ 5.5V において単一の外部電源で動作し、5 つの異なる電力モードに対応し、モード間の遷移が電力システムによって管理されます。PSoC 4100M は、スリープ、ディープスリープ、ハイバネート、ストップの低消費電力モードに対応しています。

##### クロックシステム

PSoC 4100M クロックシステムは、クロックを必要とするすべてのサブシステムにクロックを供給し、グリッチなしに異なるクロック ソース間で切り替えることを担当します。また、クロックシステムはメタステーブル状態が発生しないように保証します。

ことを可能にします。16 ビット分周器は微周波数値を柔軟に生成可能で、PSoC Creator によって完全にサポートされます。

##### IMO クロック ソース

IMO は、PSoC4100M の内部クロック供給の主なソースです。指定された精度を達成するためにテスト段階中にトリミングされます。トリミング値は不揮発性メモリに格納されます。インフィールド校正が可能になるために、トリム処理を動作中に実

行することができます。IMO の初期設定の周波数は 24MHz で、1MHz ステップで 3MHz ~ 48MHz の間で調整できます。サイプレスが提供する校正設定では、IMO の許容誤差は  $\pm 2\%$  です。

#### ILO クロック ソース

ILO は非常に低消費電力振動子（公称 32kHz）であり、ディープスリープ モードでペリフェラルの動作にクロックを生成するために主に使用されます。ILO 制御のカウンタは、精度を改善するために IMO に校正することができます。サイプレスは、校正を実行するソフトウェア コンポーネントを提供しています。

#### 水晶振動子

PSoC 4100M クロック サブシステムは、低周波水晶振動子（32kHz WCO）を備えています。この振動子は、ディープスリープモードで利用可能で、リアルタイムクロック（RTC）とウォッチドッグタイマーアプリケーションに使用できます。

#### ウォッチドッグタイマー

ウォッチドッグタイマーは、低周波クロックをクロック ソースとして動作するクロック ブロックに実装されます。これにより、ウォッチドッグがディープスリープ モードでも動作でき、タイムアウトが発生する前にウォッチドッグが処理されなかつた場合にリセットや割り込みが生成されます。ウォッチドッグリセットはリセット原因（Reset Cause）レジスタに記録されます。

#### リセット

PSoC 4100M は、複数ソースからリセットできます（ソフトウェアリセットも可能）。リセットイベントは非同期であり、デバイスを既知の状態に復帰させることができます。リセットの原因は、リセット中にも保持され、ソフトウェアがリセットの原因を判断できるようにレジスタに記録されます。電源投入またはリコンフィギュレーション中にコンフィギュレーションおよび複数のピン機能に伴う競合を防ぐために、XRES ピンが外部リセット用に確保されています。

#### 電圧リファレンス

PSoC 4100M は、ソフトウェアリセットを含む様々な要因からリセットできます。12 ビット ADC は 1% 電圧リファレンス仕様に対応しています。より優れた信号対ノイズ比（SNR）と絶対精度を実現するために、GPIO ピンを使って外部バイパスコン

デンサを内部リファレンス電圧に接続する、または SAR 用に外部リファレンスを使用できます。

#### アナログ ブロック数

##### 12 ビット SAR ADC

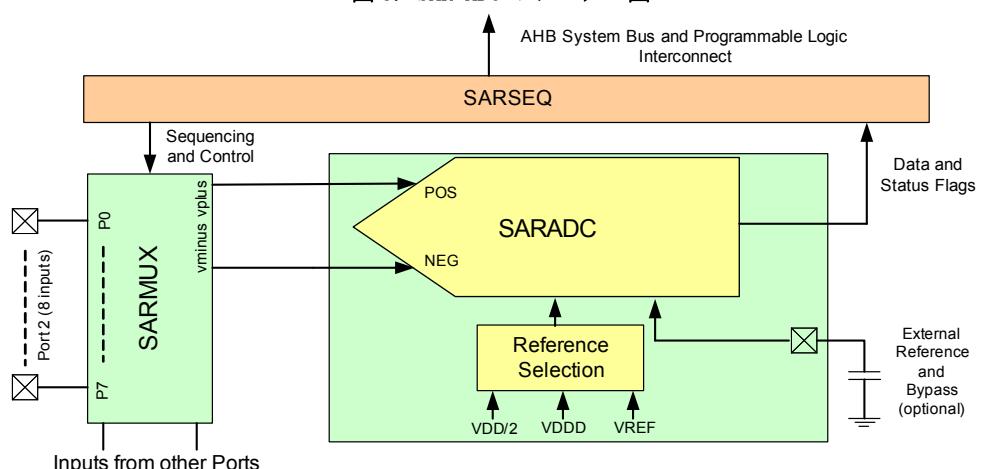
12 ビットの SAR ADC は 806 K サンプル / 秒の最大サンプルレートで動作できます。

ユーザー向けとしてブロック機能を拡張するため、リファレンス バッファの追加（ $\pm 1\%$  までトリム可能）、また  $V_{DD}$ 、 $V_{DD}/2$ 、 $V_{REF}$  の 3 つの内部電圧リファレンス オプション（定格電圧が 1.024V）および GPIO ピンを介した外部リファレンスを選択としました。サンプルホールド（S/H）のアパートチャがプログラム可能であるため、SAR 入力を駆動するアンプの整定時間を規定する利得帯域幅要件を必要に応じて緩和できます。適切なリファレンス電圧が使用され、システムノイズ レベルが許可する限り、システム性能は真の 12 ビット精度で 65dB です。ノイズの多い条件で性能を改善するために、内部リファレンス アンプ用として外部バイパスを（固定したピン位置）を提供できます。

SAR は 8 入力シーケンサ（16 入力まで拡張可能）を介して固定したピンセットに接続されます。シーケンサは、スイッチングオーバーヘッドの必要なく選択されたチャネルを自律的に巡回します（シーケンサ スキャン）（つまり、合計サンプリング帯域幅は、単一のチャネルか複数のチャネルであるかにかかわらず 1Msp/s です）。シーケンサの切り替えは、スタート マシンを介して、またはファームウェア駆動の切り替えにより行われます。シーケンサの 1 つの機能は、CPU 割り込みサービスの要求を軽減するための各チャネルのバッファリングです。信号を様々なソースインピーダンスと周波数に適合させるために、チャネルごとに異なるサンプリング時間をプログラムすることができます。また、デジタル化された値がプログラムされた範囲を超えた場合、レンジレジスタの一対（低と高レンジ値）による信号範囲の指定は、対応する範囲外の割り込みで実施されます。これにより、シーケンサ スキャンが完了し、CPU が値を読み出してソフトウェア内で範囲外の値の有無を確認するのを待たず、範囲外の値を早く検出できます。

SAR は、校正およびその他の温度依存機能用に基板搭載の温度センサーの出力をデジタル化することができます。SAR は高速クロックを必要とするため、ディープスリープとハイバネートモードに対応していません。SAR の動作範囲は 1.71V ~ 5.5V です。

図 3. SAR ADC のシステム図



### アナログマルチプレクサ バス

PSoC 4100M は、チップの周辺を回る 2 個の同期アナログ バス (アナログマルチプレクサ バス A とアナログマルチプレクサ バス B)。これらバスは、アナログ信号を任意のピンから様々なアナログブロック (オペアンプなど) や CapSense ブロックに転送できるため、ADC はチップに搭載されたピンをすべて監視できます。これらのバスは、独立して機能し、3 つの独立したセクションに分割することも可能です。これにより、3 つの分割されたセクションの内、1 つを CapSense に、1 つは一般的なアナログ信号処理、残りの 1 つは汎用デジタルペリフェラルと GPIO に使用できます。

### 4 個のオペアンプ

PSoC 4100M には、コンパレータ モード付きの 4 個のオペアンプが内蔵されているため、外部コンポーネントを使って最も共通のアナログ機能をチップで実行できます。PGA、電圧バッファ、フィルター、トランシスインピーダンス アンプ、および他の機能は、外部受動コンポーネントで実行可能であるため、電力、コストと実装面積を節約できます。内蔵オペアンプは、外部バッファリングを必要とせずに ADC のサンプル ホールド回路を駆動するように十分な帯域幅に対応するように設計されています。オペアンプは、非常に低消費電力レベルでディープスリープ モードで実行可能です。下図では、オペアンプ システムの 2 つの同一のオペアンプ ペアの 1 ペアを示します。

図 4. オペアンプ サブシステム内の同一オペアンプ ペア

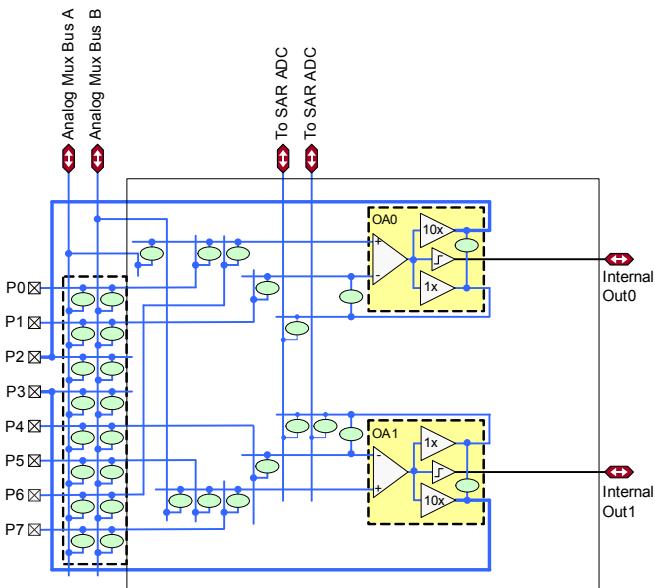


図 4 内の卵型図形のは、アナログスイッチを示します。これらのスイッチは、ユーザー フームウェア、SAR シーケンサ、またはユーザー 定義のプログラマブル ロジックを介して制御することができます。これらのスイッチを介してオペアンプ (OA0 と OA1) をコンフィギュレーションし、適切なフィードバック コンポーネントですべての標準的なオペアンプ機能を実行できます。

オペアンプ (OA0 と OA1) をプログラムし、リコンフィギュレーションして、切り替え可能なフィードバック コンポーネントを介して標準的オペアンプ機能と、ピンの直接駆動、内部使用や真のコンパレータとしての機能のためにユニティ ゲイン機能を提供できます。

オペアンプ入力は、高度に柔軟な接続を提供し、専用ピンに直接接続するか、またはアナログマルチプレクサ バスを介してチップ上のすべてのピンに接続できます。アナログスイッチ接続は、ユーザー フームウェアとユーザー 定義のプログラマブル デジタルステート マシン (UDB を介して実装) により制御可能です。

ディープスリープ モードでは、オペアンプは非常に低い電流で動作することにより、アナログ回路はこのモード中に継続して機能します。

### 温度センサー

PSoC 4100M は 1 個の温度センサーを内蔵しています。これは、電力ソースによってバイアスされたダイオードから成ります。電流ソースは、電力を節約するために無効にできます。この温度センサーは、ADC に接続されます。温度センサーは、校正と線形化を含むサイプレスが提供したソフトウェアを使用して読み出しをデジタル化し温度値を生成する ADC に接続されます。

### 低消費電力コンパレータ

PSoC 4100M は、ディープスリープとハイバネート モードで動作できる低消費電力コンパレータの一対を内蔵しています。これにより、低消費電力モード中に外部電圧レベルを監視する能力を維持しながらアナログシステム ブロックを無効にすることができます。コンパレータ出力は、システム ウエイクアップ回路がコンパレータの切り替えイベントによりアクティブになる非同期電力モード (ハイバネート) で動作する場合を除き、普通は準安定状態を避けるために同期化されています。

### 固定機能デジタル

#### タイマー／カウンター／PWM (TCPWM) ブロック

TCPWM ブロックは、ユーザーがプログラム可能な周期長の 16 ビット カウンターを使用しています。キャプチャレジスタは、I/O イベントなどのイベントの時にカウント値を記録します。周期レジスタは、カウンタのカウントが周期レジスタのカウントに等しくなる時にカウントを停止、または自動的にリロードします。比較レジスタは、PWM デューティ比出力として使用される比較値信号を生成します。ブロックは真出力と相補出力 (それら間のオフセットがプログラム可能) も提供しており、これらをプログラム可能なデッドバンド付きコンプリメンタリー PWM 出力として使用することを可能にします。また、出力を事前に決定された状態に移行させるキル (Kill) 入力もあります。例えば、モータ駆動システムでは、過電流状態が示され、FET を駆動している PWM をソフトウェア介入なしに直ちに止める必要がある時、キル入力が使用されます。PSoC 4100M は、8 個の TCPWM ブロックを持っています。

#### シリアル通信ブロック (SCB)

PSoC 4100M は 4 個の SCB を内蔵しています。それぞれは I<sup>2</sup>C、UART、または SPI インターフェースを実装できます。

I<sup>2</sup>C モード：ハードウェア I<sup>2</sup>C ブロックは、完全なマルチマスターとスレーブ インターフェースを実装します (マルチマスターのアービトレーションが可能)。このブロックは、最大 1Mbps (ファースト モード プラス) で動作でき、CPU 用の割り込みオーバヘッドとレイテンシを削減するためにバッファリング オプションを選択できます。また、PSoC4100M のメモリでメールボックス範囲を作りメモリアレイへの読み書きの I<sup>2</sup>C 通信を効果的に削減する EzI<sup>2</sup>C にも対応しています。また、ブロックは送受信用に深さ 8 の FIFO も対応しています。これは、CPU がデータを読み出す一定の時間を増加することで、時間通りに CPU が読み出すデータがないことに起因し

たクロック ストレッチの必要性を大幅に低減することができます。FIFO モードはすべてのチャネルによって対応され、DMA がない場合に非常に有用です。

$I^2C$  ペリフェラルは、NXP  $I^2C$  バス仕様とユーザー マニュアル (UM10204) で定義された通りに  $I^2C$  標準モード、ファースト モード、ファースト モード プラスのデバイスと互換性があります。 $I^2C$  バス I/O は、オープンドレイン モードにある GPIO を使って実装されます。

**UART モード**: これは最大 1Mbps で動作するフル機能の UART です。基本 UART プロトコルから少し発展した車載向けシングル ワイヤ インターフェース (LIN)、赤外線インターフェース (IrDA)、SmartCard (ISO7816) プロトコルに対応しています。また、共通の RX と TX ラインを介して接続したペリフェラルのアドレス指定を可能にする 9 ビット マルチプロセッサ モードに対応しています。パリティ エラー、ブレーク検出、フレーム エラーなどの一般的な UART 機能がサポートされています。深さ 8 ビットの FIFO は、非常に大きい CPU サービス レイテンシを許容できるようにします。なお、ハードウェア ハンド シェークがサポートされないことに注意してください。これは一般に使用されておりません。必要であれば、システム内の UDB ベースの UART で実装できます。

**SPI モード**: SPI モードは Motorola SPI、TI SSP (SPI コデックの同期化用の開始パルスを本質的に追加)、National Microwire (半二重の SPI) に完全に対応しています。SPI ブロックは FIFO を使用することができ、データ交換がメモリ内のアレイへの読み書きまで簡略化された EzSPI モードにも対応しています。

## GPIO

PSoC 4100M は、68 ピン QFN パッケージには 55 GPIO があります。GPIO ブロックは以下のものを実装します。

- 8 つのドライブ能力モード: 強プッシュ ブル、抵抗 ブルアップ / ブルダウン、弱 (抵抗) ブルアップ / ブルダウン、オープンドレインとオープンソース、入力専用、ディスエーブル
- 入力閾値セレクト (CMOS または LVTTL)
- 入力 / 出力ディスエーブルに対応する独立した制御
- 前のステートをラッチするためのホールド モード (ディープ スリープ モードとハイバネート モードで I/O ステートを維持するため)
- EMI を改善するための dV/dt 関連のノイズ制御用に選択可能なスルーレート

ピンは、8 ビット幅のポートと呼ばれる論理エンティティに構成されています。電源投入とリセットの時、入力への過電圧を防ぐため、および / または電源投入時に過電流を発生させないために、ブロックは無効状態に移行させられます。高速 I/O マトリックスとして知られている多重化ネットワークは、I/O ピンに接続できる複数の信号間を多重化するのに使用されます。固定機能ペリフェラルのピン位置は、内部多重化の複雑さを減少させるために固定されています (これらの信号は DSI ネットワークを通りません)。DSI 信号はこれに影響されず、DSI ネットワークを介してどのピンもどの UDB にも配線できます。

データ出力とピン ステート レジスタそれぞれはピン上で駆動される値とそれらのピンのステートを格納します。

各 I/O ピンは有効になった場合に割り込みを生成でき、各 I/O ポートはそれに対応する割り込み要求 (IRQ) と割り込みサービス ルーチン (ISR) ベクタがあります (PSoC 4100M では、ベクタ数は 8 です)。

ポート 6 のピン (パッケージに応じて最大 6 個) は、過電圧耐性があります ( $V_{IN}$  は  $V_{DD}$  を超えることが可能)。 $I^2C$  仕様によると、過電圧セルは、入力が  $V_{DDIO}$  を超えた場合、10 $\mu$ A 以上の電流を吸い込みません。

## 特殊機能ペリフェラル

### LCD セグメント ドライバ

PSoC 4100M は、最大 4 コモン ピンと最大 51 セグメント ピンを駆動できる LCD コントローラーを内蔵しています。すべてのピンはコモン ピン、またはセグメント ピンとして使用可能です。内部 LCD 電圧を生成する必要なくフル デジタル方法を使用して LCD セグメントを駆動します。2 つの方法は、デジタル 相関と PWM と呼ばれています。

デジタル 相関は、最高 RMS 電圧を生成してセグメントを点灯させる、または RMS 信号を 0 に維持するためにコモンとセグメント信号の周波数とレベルを変調することです。この方法は STN ディスプレイに適していますが、(より安い) TN ディスプレイに対してはコントラストを減らすことがあります。

PWM は、所望の LCD 電圧を生成するために PWM 信号によりパネルを駆動しパネルの静電容量を効果的に使用して変調されたパルス幅を提供することです。この方法は消費電力を増加しますが、TN ディスプレイを駆動する際には結果的です。LCD 効果はディープスリープ モード中にディスプレイ用の小さいバッファ (4 ビット; ポートごとに 1 つの 32 ビット レジスタ) をリフレッシュすることでサポートされます。

## CapSense

### CapSense

いかなるアナログスイッチに接続された、いかなる GPIO ピンも接続できるアナログマルチブレクサバスを介し、いかなるピンにも接続できる CapSense シグマ - デルタ (CSD) ブロックにより、PSoC4100M のあらゆるピン、CapSense はサポートされます。従って、CapSense 機能はソフトウェアで制御され、システム内の使用可能ないかなるピン やピン グループに提供できます。コンポーネントは CapSense ブロックに提供されます。このコンポーネント (Cypress SmartSense™) により、自動ハードウェア チューニングができ、ユーザーに取っては使いやすくなります。

シールド電圧は、耐水機能を実現するために他の多重化バス上で駆動できます。耐水性は、シールド電極を検知電極と同位相で駆動して、シールド静電容量が検知された入力を減衰させることを防ぐことで、実現されています。

各 CSD ブロックは 2 個の IDAC を備えています。これらは、CapSense を使用しない (両方の IDAC とも使用可能) 場合、または CapSense が耐水性に対応せずに使用する (どちらか一方の IDAC が使用可能) 場合、一般用途に使用することができます。PSoC 4100M は、独立して使用できる 2 個の CSD ブロックを内蔵しており、その内、1 個は CapSense に使用され、残りの 1 つは、IDAC を備えています。

## ピン配置

下表は PSoC 4100M のピンリストです。電源とポートピンを表します(例えば、P0.0 はポート 0 のピン 0 です)。

68-QFN		64-TQFP		48-TQFP	
ピン	名称	ピン	名称	ピン	名称
42	P0.0	39	P0.0	28	P0.0
43	P0.1	40	P0.1	29	P0.1
44	P0.2	41	P0.2	30	P0.2
45	P0.3	42	P0.3	31	P0.3
46	P0.4	43	P0.4	32	P0.4
47	P0.5	44	P0.5	33	P0.5
48	P0.6	45	P0.6	34	P0.6
49	P0.7	46	P0.7	35	P0.7
50	XRES	47	XRES	36	XRES
51	VCCD	48	VCCD	37	VCCD
52	VSSD	49	VSSD	38	VSSD
53	VDDD	50	VDDD	39	VDDD
54	P5.0	51	P5.0		
55	P5.1	52	P5.1		
56	P5.2	53	P5.2		
57	P5.3	54	P5.3		
58	P5.4				
59	P5.5	55	P5.5		
60	VDDA	56	VDDA	40	VDDA
61	VSSA	57	VSSA	41	VSSA
62	P1.0	58	P1.0	42	P1.0
63	P1.1	59	P1.1	43	P1.1
64	P1.2	60	P1.2	44	P1.2
65	P1.3	61	P1.3	45	P1.3
66	P1.4	62	P1.4	46	P1.4
67	P1.5	63	P1.5	47	P1.5
68	P1.6	64	P1.6	48	P1.6
1	P1.7/VREF	1	P1.7/VREF	1	P1.7/VREF
2	P2.0	2	P2.0	2	P2.0
3	P2.1	3	P2.1	3	P2.1
4	P2.2	4	P2.2	4	P2.2
5	P2.3	5	P2.3	5	P2.3
6	P2.4	6	P2.4	6	P2.4
7	P2.5	7	P2.5	7	P2.5
8	P2.6	8	P2.6	8	P2.6
9	P2.7	9	P2.7	9	P2.7
10	VSSA	10	VSSA	10	VSSIO
11	VDDA	11	VDDA		
12	P6.0	12	P6.0		
13	P6.1	13	P6.1		

68-QFN		64-TQFP		48-TQFP	
ピン	名称	ピン	名称	ピン	名称
14	P6.2	14	P6.2		
15	P6.3				
16	P6.4	15	P6.4		
17	P6.5	16	P6.5		
18	VSSIO	17	VSSIO	10	VSSIO
19	P3.0	18	P3.0	12	P3.0
20	P3.1	19	P3.1	13	P3.1
21	P3.2	20	P3.2	14	P3.2
22	P3.3	21	P3.3	16	P3.3
23	P3.4	22	P3.4	17	P3.4
24	P3.5	23	P3.5	18	P3.5
25	P3.6	24	P3.6	19	P3.6
26	P3.7	25	P3.7	20	P3.7
27	VDDIO	26	VDDIO	21	VDDIO
28	P4.0	27	P4.0	22	P4.0
29	P4.1	28	P4.1	23	P4.1
30	P4.2	29	P4.2	24	P4.2
31	P4.3	30	P4.3	25	P4.3
32	P4.4	31	P4.4		
33	P4.5	32	P4.5		
34	P4.6	33	P4.6		
35	P4.7				
39	P7.0	37	P7.0	26	P7.0
40	P7.1	38	P7.1	27	P7.1
41	P7.2				

ポート 6 のピンは過電圧耐性があります。ピン 11 とピン 15 は 48 ピン TQFP では未接続です。

上の表に示した各々のピンは、次の表に示すように複数のプログラマブル機能を持つことができます。列のヘッダ行はアナログと代替ピン機能を示します。

ポート／ピン	使用可能なアナログ ペリフェラル	PRGIO	代替機能 1	代替機能 2	代替機能 3	代替機能 4	代替の機能 5
P0.0	lpcomp.in_p[0]						scb[0].spi_select1:0
P0.1	lpcomp.in_n[0]						scb[0].spi_select2:0
P0.2	lpcomp.in_p[1]						scb[0].spi_select3:0
P0.3	lpcomp.in_n[1]						
P0.4	wco_in			scb[1].uart_rx:0		scb[1].i2c_scl:0	scb[1].spi_mosi:1
P0.5	wco_out			scb[1].uart_tx:0		scb[1].i2c_sda:0	scb[1].spi_miso:1
P0.6			ext_clk:0	scb[1].uart_cts:0			scb[1].spi_clk:1
P0.7				scb[1].uart_rts:0		wakeup	scb[1].spi_select0:1
P5.0	ctb1.oa0.inp		tcpwm.line[4]:2	scb[2].uart_rx:0		scb[2].i2c_scl:0	scb[2].spi_mosi:0
P5.1	ctb1.oa0.inm		tcpwm.line_compl[4]:2	scb[2].uart_tx:0		scb[2].i2c_sda:0	scb[2].spi_miso:0
P5.2	ctb1.oa0.out		tcpwm.line[5]:2	scb[2].uart_cts:0		lpcomp.comp[0]:1	scb[2].spi_clk:0
P5.3	ctb1.oa1.out		tcpwm.line_compl[5]:2	scb[2].uart_rts:0		lpcomp.comp[1]:1	scb[2].spi_select0:0
P5.4	ctb1.oa1.inm		tcpwm.line[6]:2				scb[2].spi_select1:0
P5.5	ctb1.oa1.inp		tcpwm.line_compl[6]:2				scb[2].spi_select2:0
P5.6	ctb1.oa0.inp_alt		tcpwm.line[7]:0				scb[2].spi_select3:0
P5.7	ctb1.oa1.inp_alt		tcpwm.line_compl[7]:0				
P1.0	ctb0.oa0.inp		tcpwm.line[2]:1	scb[0].uart_rx:1		scb[0].i2c_scl:0	scb[0].spi_mosi:1
P1.1	ctb0.oa0.inm		tcpwm.line_compl[2]:1	scb[0].uart_tx:1		scb[0].i2c_sda:0	scb[0].spi_miso:1
P1.2	ctb0.oa0.out		tcpwm.line[3]:1	scb[0].uart_cts:1			scb[0].spi_clk:1
P1.3	ctb0.oa1.out		tcpwm.line_compl[3]:1	scb[0].uart_rts:1			scb[0].spi_select0:1
P1.4	ctb0.oa1.inm		tcpwm.line[6]:1				scb[0].spi_select1:1
P1.5	ctb0.oa1.inp		tcpwm.line_compl[6]:1				scb[0].spi_select2:1
P1.6	ctb0.oa0.inp_alt		tcpwm.line[7]:1				scb[0].spi_select3:1
P1.7	ctb0.oa1.inp_alt		tcpwm.line_compl[7]:1				
P2.0	sarmux.0		tcpwm.line[4]:1			scb[1].i2c_scl:1	scb[1].spi_mosi:2
P2.1	sarmux.1		tcpwm.line_compl[4]:1			scb[1].i2c_sda:1	scb[1].spi_miso:2
P2.2	sarmux.2		tcpwm.line[5]:1				scb[1].spi_clk:2
P2.3	sarmux.3		tcpwm.line_compl[5]:1				scb[1].spi_select0:2
P2.4	sarmux.4		tcpwm.line[0]:1				scb[1].spi_select1:1
P2.5	sarmux.5		tcpwm.line_compl[0]:1				scb[1].spi_select2:1
P2.6	sarmux.6		tcpwm.line[1]:1				scb[1].spi_select3:1

ポート／ピン	使用可能なアナログペリフェラル	PRGIO	代替機能 1	代替機能 2	代替機能 3	代替機能 4	代替の機能 5
P2.7	sarmux.7		tcpwm.line_compl[1]:1				scb[3].spi_select0:1
P6.0			tcpwm.line[4]:0	scb[3].uart_rx:0		scb[3].i2c_scl:0	scb[3].spi_mosi:0
P6.1			tcpwm.line_compl[4]:0	scb[3].uart_tx:0		scb[3].i2c_sda:0	scb[3].spi_miso:0
P6.2			tcpwm.line[5]:0	scb[3].uart_cts:0			scb[3].spi_clk:0
P6.3			tcpwm.line_compl[5]:0	scb[3].uart_rts:0			scb[3].spi_select0:0
P6.4			tcpwm.line[6]:0				scb[3].spi_select1:0
P6.5			tcpwm.line_compl[6]:0				scb[3].spi_select2:0
P3.0			tcpwm.line[0]:0	scb[1].uart_rx:1		scb[1].i2c_scl:2	scb[1].spi_mosi:0
P3.1			tcpwm.line_compl[0]:0	scb[1].uart_tx:1		scb[1].i2c_sda:2	scb[1].spi_miso:0
P3.2			tcpwm.line[1]:0	scb[1].uart_cts:1		svd_data	scb[1].spi_clk:0
P3.3			tcpwm.line_compl[1]:0	scb[1].uart_rts:1		swd_clk	scb[1].spi_select0:0
P3.4			tcpwm.line[2]:0				scb[1].spi_select1:0
P3.5			tcpwm.line_compl[2]:0				scb[1].spi_select2:0
P3.6			tcpwm.line[3]:0				scb[1].spi_select3:0
P3.7			tcpwm.line_compl[3]:0				
P4.0				scb[0].uart_rx:0		scb[0].i2c_scl:1	scb[0].spi_mosi:0
P4.1				scb[0].uart_tx:0		scb[0].i2c_sda:1	scb[0].spi_miso:0
P4.2	csd[0].c_mod			scb[0].uart_cts:0		lpcomp.comp[0]:0	scb[0].spi_clk:0
P4.3	csd[0].c_sh_tank			scb[0].uart_rts:0		lpcomp.comp[1]:0	scb[0].spi_select0:0
P4.4							scb[0].spi_select1:2
P4.5							scb[0].spi_select2:2
P4.6							scb[0].spi_select3:2
P4.7							
P7.0			tcpwm.line[0]:2	scb[3].uart_rx:1		scb[3].i2c_scl:1	scb[3].spi_mosi:1
P7.1			tcpwm.line_compl[0]:2	scb[3].uart_tx:1		scb[3].i2c_sda:1	scb[3].spi_miso:1
P7.2			tcpwm.line[1]:2	scb[3].uart_cts:1			scb[3].spi_clk:1

電源ピン機能の説明は以下の通りです。

**VDDD:** (V<sub>DDA</sub> ピンがない) アナログとデジタル部分向けの電源

**VDDA:** パッケージ ピンが有効な場合はアナログ V<sub>DD</sub> ピン。パッケージ ピンが無効な場合は V<sub>DDD</sub> に短絡

**VDDIO:** I/O ピン パワー ドメイン

**VSSA:** パッケージ ピンが有効な場合はアナログ グランド ピン。パッケージ ピンが無効な場合は V<sub>SS</sub> に短絡

**VSS:** グランド ピン

**VCCD:** 安定化デジタル電源 (1.8V ±5%)

ポート ピンは全て LCD コモン、LCD セグメント ドライバー、または CSD 検知 ピンとして使用できます。シールド ピンは AMUXBUS A か B に接続するか、または全て ファームウェアや DSI 信号で駆動できる GPIO ピンとして使用できます。

## 電源

全ての機能および回路が動作する電源電圧範囲は 1.71 ~ 5.5V です。

PSoC 4100M ファミリは、非安定化外部電源と安定化外部電源という 2 種類の電源供給動作モードに対応しています。

### 非安定化外部電源

このモードでは、PSoC 4100M は 1.8 ~ 5.5V の任意の外部電源から電源供給されます。この範囲はバッテリ パワー動作にも設計されています。例えば、チップは 3.5V で始まってから 1.8V まで下がるバッテリ システムから電源供給されます。このモードでは、PSoC 4100M の内部レギュレータは内部ロジックに電源を供給し、PSoC 4100M の VCCD 出力は外付けコンデンサ (1 ~ 1.6  $\mu$ F; X5R セラミックまたはこれより良質のもの) を介してグランドにバイパスする必要があります。

VDDA と VDDD は PC 基板上で互いに短絡させる必要があり、グランド、VSSA および VSS は互いに短絡させる必要もあります。バイパスコンデンサは VDDD、VDDA とグランド間を接続する必要があります。この周波数範囲でのシステムの標準的な実践としては、互いに平行に配置した 1 $\mu$ F レンジのコンデンサとそれより小さいコンデンサ (例えば、0.1 $\mu$ F) を使用します。これらが単に経験則であり、重要なアプリケーションに対しては、最適なバイパスを得るために設計 の際には PCB レイアウト、リードインダクタンス、寄生バイパスコンデンサをシミュレーションする必要があることに注意してください。

電源供給	バイパス コンデンサ
VDDD-VSS および VDDIO-VSS	各ピン上の 0.1 $\mu$ F セラミック コンデンサと 1 $\mu$ F ~ 10 $\mu$ F パルク コンデンサ
VDDA-VSSA	ピン上の 0.1 $\mu$ F セラミック コンデンサ。追加の 1 $\mu$ F ~ 10 $\mu$ F パルク コンデンサ
VCCD-VSS	VCCD ピン上の 1 $\mu$ F セラミック コンデンサ
VREF-VSSA (オプション)	高い ADC 性能のために内部バンドギャップに接続される 1 $\mu$ F ~ 10 $\mu$ F バイパス コンデンサ

### 安定化外部電源

このモードでは、PSoC 4100M は 1.71 ~ 1.89V (1.8±5%) の外部電源から電源供給されます。この範囲は電源リップルを含む必要があることに注意してください。このモードで、VCCD、VDDA、VDDIO および VDDD ピンは互いに短絡されバイパスされます。内部レギュレータはファームウェアで無効にされます。

## 開発サポート

PSoC 4100M ファミリには、開発プロセスを支援する豊富な資料、開発ツールおよびオンライン リソースが用意されています。詳細については、[www.cypress.com/go/psoc4](http://www.cypress.com/go/psoc4) をご覧ください。

### 資料

資料一式は PSoC 4100M ファミリを網羅しており、疑問点に対する答えを素早く見つけます。重要な資料の幾つかは、本節にリストアップされています。

**ソフトウェア ユーザー ガイド** : PSoC Creator の使用に関する段階を追った手引き書です。ソフトウェア ユーザー ガイドには、PSoC Creator によるビルドプロセスの詳細、PSoC Creator を用いたソース制御の使い方、その他が記載されています。

**Component データ シート** : PSoC の柔軟性によって、デバイスが量産に入ってから長い期間の後でも新しいペリフェラル (Component) を作成することができます。Component データシートには、ある特定のコンポーネントの選択および使用に必要な情報が、機能説明、API ドキュメント、サンプル コード、AC/DC 仕様を含んで全て記載されています。

**アプリケーション ノート** : PSoC アプリケーション ノートには、PSoC の特定のアプリケーションについて詳細な説明が記

載されています。例として、ブラシレス DC モーターの制御やオンチップ フィルタリングがあります。アプリケーション ノートには、多くの場合、アプリケーション ノートのドキュメントに加えてサンプル プロジェクトが含まれています。

**テクニカル リファレンス マニュアル** : テクニカル リファレンス マニュアル (TRM) には、全ての PSoC レジスタの詳細な説明など、PSoC デバイスを使用する際に必要な技術的 詳細が全て記載されています。

### オンライン

印刷された資料のほかに、サイプレス PSoC フォーラムによって 24 時間 365 日、世界中の他の PSoC ユーザーや PSoC の専門家と連絡をとれます。

### ツール

業界標準のコア、プログラミングおよびデバッグ インターフェースを備えた PSoC 4100M ファミリは開発ツール エコシステムの一部です。革新的で使いやすい PSoC Creator IDE、サポートされるサードパーティのコンパイラ、プログラマ、デバッガおよび開発キットの最新情報については、サイプレスのウェブサイト [www.cypress.com/go/psoccreator](http://www.cypress.com/go/psoccreator) をご覧ください。

## 電気的仕様

### 絶対最大定格

表 1. 絶対最大定格<sup>[1]</sup>

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID1	$V_{DD\_ABS}$	$V_{SS}$ を基準としたアナログまたはデジタル電源 ( $V_{SSD} = V_{SSA}$ )	-0.5	-	6	V	絶対最大値
SID2	$V_{CCD\_ABS}$	$V_{SSD}$ を基準とした直接デジタルコア電圧入力	-0.5	-	1.95	V	絶対最大値
SID3	$V_{GPIO\_ABS}$	GPIO 電圧 ; $V_{DDD}$ または $V_{DDA}$	-0.5	-	$V_{DD}+0.5$	V	絶対最大値
SID4	$I_{GPIO\_ABS}$	GPIO ごとの電流	-25	-	25	mA	絶対最大値
SID5	$I_{G-PIO\_injection}$	ピンごとの GPIO 注入電流	-0.5	-	0.5	mA	絶対最大値
BID44	ESD_HBM	静電気放電 (人体モデル)	2200	-	-	V	
BID45	ESD_CDM	静電気放電 (デバイス帯電モデル)	500	-	-	V	
BID46	LU	ラッチアップ時のピン電流	-140	-	140	mA	

### デバイス レベルの仕様

特記されない限り、全ての仕様は  $-40^{\circ}\text{C} \leq TA \leq 85^{\circ}\text{C}$  および  $TJ \leq 100^{\circ}\text{C}$  の条件で有効です。仕様は、特に注記した場合を除いて、 $1.71\text{V} \sim 5.5\text{V}$  において有効です。

表 2. DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID53	$V_{DDD}$	電源入力電圧	1.8	-	5.5	V	レギュレータが有効
SID255	$V_{DDD}$	非安定化電源入力電圧	1.71	1.8	1.89	V	内部的に安定化されない電源
SID54	$V_{CCD}$	出力電圧 (コア ロジック用)	-	1.8	-	V	
SID55	$C_{EFC}$	外部レギュレータ電圧バイパス	1	1.3	1.6	$\mu\text{F}$	X5R セラミックまたはこれより良質のもの
SID56	$C_{EXC}$	電源デカップリング コンデンサ	-	1	-	$\mu\text{F}$	X5R セラミックまたはこれより良質のもの

### アクティブ モード、 $V_{DDD} = 1.71 \sim 5.5\text{V}$

SID10	$I_{DD5}$	フラッシュから実行 ; CPU 速度が 6MHz	-	2.2	-	mA	$T = 25^{\circ}\text{C}$
SID11	$I_{DD6}$	フラッシュから実行 ; CPU 速度が 6MHz	-	-	2.8	mA	Max
SID13	$I_{DD8}$	フラッシュから実行 ; CPU 速度が 12MHz	-	3.7	-	mA	$T = 25^{\circ}\text{C}$
SID14	$I_{DD9}$	フラッシュから実行 ; CPU 速度が 12MHz	-	-	4.2	mA	Max
SID16	$I_{DD11}$	フラッシュから実行 ; CPU 速度が 24MHz	-	6.7	-	mA	$T = 25^{\circ}\text{C}$
SID17	$I_{DD12}$	フラッシュから実行 ; CPU 速度が 24MHz	-	-	7.2	mA	$T = 85^{\circ}\text{C}$

### スリープ モード、 $V_{DDD} = 1.71 \sim 5.5\text{V}$

SID25	$I_{DD20}$	$I^2\text{C}$ ウェイクアップと WDT が有効、 $T = 25^{\circ}\text{C}$	-	1.3	1.8	mA	6MHz
SID25A	$I_{DD20A}$	$I^2\text{C}$ ウェイクアップと WDR が有効、 $T = 25^{\circ}\text{C}$	-	1.7	2.2	mA	12MHz

### ディープスリープ モード、 $V_{DDD} = 1.8 \sim 3.6\text{V}$ (レギュレータが有効)

#### 注

- 表 1 に記載されている絶対最大条件を超えて使用するとデバイスに恒久的なダメージを与える可能性があります。長時間にわたって絶対最大条件下に置くと、デバイスの信頼性に影響する可能性があります。最大保管温度は JEDEC 標準「JESD22-A103, High Temperature Storage Life」に準拠した  $150^{\circ}\text{C}$  です。絶対最大条件以下で使用している場合でも、標準的な動作条件を超えると、デバイスが仕様に従って動作しないことがあります。

**表 2. DC 仕様 ( 続き )**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID31	$I_{DD26}$	$I^2C$ ウェイクアップと WDT が有効、 $T = 25^\circ C$	—	1.3	—	$\mu A$	$T = 25^\circ C$
SID32	$I_{DD27}$	$I^2C$ ウェイクアップと WDT が有効、 $T = 85^\circ C$	—	—	10	$\mu A$	$T = 85^\circ C$
<b>ディープスリープ モード、<math>V_{DDD} = 3.6 \sim 5.5V</math></b>							
SID34	$I_{DD29}$	$I^2C$ ウェイクアップと WDT が有効、	—	15	—	$\mu A$	$T=25^\circ C, 5.5 V$
<b>ディープスリープ モード、<math>V_{DDD} = 1.71 \sim 1.89V</math> ( レギュレータが有効 )</b>							
SID37	$I_{DD32}$	$I^2C$ ウェイクアップと WDT が有効、 $T = 25^\circ C$	—	1.7	—	$\mu A$	$T=25^\circ C$
SID38	$I_{DD33}$	$I^2C$ ウェイクアップと WDT が有効、 $T = 85^\circ C$	—	—	10	$\mu A$	$T = 85^\circ C$
<b>ハイバネート モード、<math>V_{DDD} = 1.8 \sim 3.6 V</math> ( レギュレータが有効、特性評価で保証 )</b>							
SID40	$I_{DD35}$	GPIO とリセットがアクティブ	—	150	—	nA	$T=25^\circ C, 3.6 V$
SID41	$I_{DD36}$	GPIO とリセットがアクティブ	—	—	1	$\mu A$	$T = 85^\circ C$
<b>ハイバネート モード、<math>V_{DDD} = 3.6 \sim 5.5 V</math> ( 特性評価で保証 )</b>							
SID43	$I_{DD38}$	GPIO とリセットがアクティブ	—	150	—	nA	$T=25^\circ C, 5.5 V$
<b>ハイバネート モード、<math>V_{DDD} = 1.71 \sim 1.89 V</math> ( レギュレータがバイパス、特性評価で保証 )</b>							
SID46	$I_{DD41}$	GPIO とリセットがアクティブ	—	150	—	nA	$T = 25^\circ C$
SID47	$I_{DD42}$	GPIO とリセットがアクティブ	—	—	1	$\mu A$	$T = 85^\circ C$
<b>ストップ モード ( 特性評価で保証 )</b>							
SID304	$I_{DD43A}$	ストップ モード電流、 $V_{DD} = 3.6V$	—	20	80	nA	
<b>XRES 電流</b>							
SID307	$I_{DD\_XR}$	XRES のアサート時の供給電流	—	2	5	mA	

**表 3. AC 仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID48	$f_{CPU}$	CPU の周波数	DC	—	24	MHz	$1.71 \leq V_{DD} \leq 5.5$
SID49	$T_{SLEEP}$	スリープ モードからの復帰時間	—	0	—	$\mu s$	特性評価で保証
SID50	$T_{DEEPSLEEP}$	ディープスリープ モードからの復帰時間	—	—	25	$\mu s$	24MHz IMO。特性評価で保証
SID51	$T_{HIBERNATE}$	ハイバネート モードからの復帰時間	—	—	0.7	ms	特性評価で保証
SID51A	$T_{STOP}$	ストップ モードからの復帰時間	—	—	1.9	ms	特性評価で保証
SID52	$T_{RESETWIDTH}$	外部リセット パルス幅	1	—	—	$\mu s$	特性評価で保証

## GPIO

表 4. GPIO の DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID57	$V_{IH}^{[2]}$	入力 HIGH 電圧しきい値	$0.7 \times V_{DDD}$	—	—	V	CMOS 入力
SID57A	$I_{IHS}$	OVT 入力のパッド $> V_{DDIO}$ の時の入力電流	—	—	10	$\mu A$	$I^2C$ 仕様通り
SID58	$V_{IL}$	入力 LOW 電圧しきい値	—	—	$0.3 \times V_{DDD}$	V	CMOS 入力
SID241	$V_{IH}^{[2]}$	LVTTL 入力、 $V_{DDD} < 2.7V$	$0.7 \times V_{DDD}$	—	—	V	
SID242	$V_{IL}$	LVTTL 入力、 $V_{DDD} < 2.7V$	—	—	$0.3 \times V_{DDD}$	V	
SID243	$V_{IH}^{[2]}$	LVTTL 入力、 $V_{DDD} \geq 2.7V$	2.0	—	—	V	
SID244	$V_{IL}$	LVTTL 入力、 $V_{DDD} \geq 2.7V$	—	—	0.8	V	
SID59	$V_{OH}$	出力 HIGH 電圧	$V_{DDD} - 0.6$	—	—	V	$3V V_{DDD}$ で $I_{OH} = 4mA$
SID60	$V_{OH}$	出力 HIGH 電圧	$V_{DDD} - 0.5$	—	—	V	$1.8V V_{DDD}$ で $I_{OH} = 1mA$
SID61	$V_{OL}$	出力 LOW 電圧	—	—	0.6	V	$1.8V V_{DDD}$ で $I_{OL} = 4mA$
SID62	$V_{OL}$	出力 LOW 電圧	—	—	0.6	V	$3V V_{DDD}$ で $I_{OL} = 8mA$
SID62A	$V_{OL}$	出力 LOW 電圧	—	—	0.4	V	$3V V_{DDD}$ で $I_{OL} = 3mA$
SID63	$R_{PULLUP}$	プルアップ抵抗	3.5	5.6	8.5	k $\Omega$	
SID64	$R_{PULLDOWN}$	プルダウン抵抗	3.5	5.6	8.5	k $\Omega$	
SID65	$I_{IL}$	入力リーク電流 ( 絶対値 )	—	—	2	nA	$25^\circ C$ 、 $V_{DDD} = 3.0V$
SID65A	$I_{IL\_CTBM}$	CTBM ピンの入力リーク電流 ( 絶対値 )	—	—	4	nA	
SID66	$C_{IN}$	入力静電容量	—	—	7	pF	
SID67	$V_{HYSTTL}$	入力ヒステリシス LVTTL	25	40	—	mV	$V_{DDD} \geq 2.7V$
SID68	$V_{HYSCMOS}$	入力ヒステリシス CMOS	$0.05 \times V_{DDD}$	—	—	mV	
SID69	$I_{DIODE}$	保護ダイオードから $V_{DD}/V_{ss}$ へ流れる電流	—	—	100	$\mu A$	特性評価で保証
SID69A	$I_{TOT\_GPIO}$	チップの最大合計ソースまたはシンク電流	—	—	200	mA	特性評価で保証

## 注

 2.  $V_{IH}$  は  $V_{DDD} + 0.2V$  を超えてはなりません。

**表 5. GPIO の AC 仕様**

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID70	$T_{RISEF}$	高速ストロング モードでの立ち上がり時間	2	—	12	ns	3.3V $V_{DDD}$ 、 $C_{load} = 25pF$
SID71	$T_{FALLF}$	高速ストロング モードでの立ち下がり時間	2	—	12	ns	3.3V $V_{DDD}$ 、 $C_{load} = 25pF$
SID72	$T_{RISES}$	低速ストロング モードでの立ち上がり時間	10	—	60	ns	3.3V $V_{DDD}$ 、 $C_{load} = 25pF$
SID73	$T_{FALLS}$	低速ストロング モードでの立ち上がり時間	10	—	60	ns	3.3V $V_{DDD}$ 、 $C_{load} = 25pF$
SID74	$F_{GPIOOUT1}$	GPIO Fout; $3.3V \leq V_{DDD} \leq 5.5V$ 。 高速ストロング モード	—	—	24	MHz	90/10%、 $25pF$ 負荷、60/40 デューティ比
SID75	$F_{GPIOOUT2}$	GPIO Fout; $1.7V \leq V_{DDD} \leq 3.3V$ 。 高速ストロング モード	—	—	16.7	MHz	90/10%、 $25pF$ 負荷、60/40 デューティ比
SID76	$F_{GPIOOUT3}$	GPIO Fout; $3.3V \leq V_{DDD} \leq 5.5V$ 。 低速ストロング モード	—	—	7	MHz	90/10%、 $25pF$ 負荷、60/40 デューティ比
SID245	$F_{GPIOOUT4}$	GPIO Fout; $1.7V \leq V_{DDD} \leq 3.3V$ 。 低速ストロング モード	—	—	3.5	MHz	90/10%、 $25pF$ 負荷、60/40 デューティ比
SID246	$F_{GPIOIN}$	GPIO の入力動作周波数; $1.71V \leq V_{DDD} \leq 5.5V$	—	—	48	MHz	90/10% $V_{IO}$

XRES

**表 6. XRES の DC 仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID77	$V_{IH}$	入力 HIGH 電圧しきい値	$0.7 \times V_{DDD}$	—	—	V	CMOS 入力
SID78	$V_{IL}$	入力 LOW 電圧しきい値	—	—	$0.3 \times V_{DDD}$	V	CMOS 入力
SID79	$R_{PULLUP}$	プルアップ抵抗	3.5	5.6	8.5	kΩ	
SID80	$C_{IN}$	入力静電容量	—	3	—	pF	
SID81	$V_{HYSXRES}$	入力電圧ヒステリシス	—	100	—	mV	特性評価で保証
SID82	$I_{DIODE}$	保護ダイオードから $V_{DDD}/V_{SS}$ へ流れる電流	—	—	100	μA	特性評価で保証

**表 7. XRES の AC 仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID83	$T_{RESETWIDTH}$	リセットパルス幅	1	—	—	μs	特性評価で保証

## アナログ ペリフェラル

## オペアンプ

表 8. オペアンプの仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
	$I_{DD}$	オペアンプ ブロック電流。負荷なし	—	—	—	—	
SID269	$I_{DD\_HI}$	電力 = 高	—	1000	1300	μA	
SID270	$I_{DD\_MED}$	電力 = 中	—	320	500	μA	
SID271	$I_{DD\_LOW}$	電力 = 低	—	250	350	μA	
	GBW	負荷 = 20pF、0.1mA。 $V_{DDA} = 2.7V$	—	—	—	—	
SID272	GBW_HI	電力 = 高	6	—	—	MHz	
SID273	GBW_MED	電力 = 中	4	—	—	MHz	
SID274	GBW_LO	電力 = 低	—	1	—	MHz	
	$I_{OUT\_MAX}$	$V_{DDA} \geq 2.7V$ 、500mV 電源	—	—	—	—	
SID275	$I_{OUT\_MAX\_HI}$	電力 = 高	10	—	—	mA	
SID276	$I_{OUT\_MAX\_MID}$	電力 = 中	10	—	—	mA	
SID277	$I_{OUT\_MAX\_LO}$	電力 = 低	—	5	—	mA	
	$I_{OUT}$	$V_{DDA} = 1.71V$ 、500mV 電源	—	—	—	—	
SID278	$I_{OUT\_MAX\_HI}$	電力 = 高	4	—	—	mA	
SID279	$I_{OUT\_MAX\_MID}$	電力 = 中	4	—	—	mA	
SID280	$I_{OUT\_MAX\_LO}$	電力 = 低	—	2	—	mA	
SID281	$V_{IN}$	入力電圧範囲	-0.05	—	$V_{DDA} - 0.2$	V	チャージ ポンプが有効、 $V_{DDA} \geq 2.7V$
SID282	$V_{CM}$	入力同相電圧	-0.05	—	$V_{DDA} - 0.2$	V	チャージ ポンプが有効、 $V_{DDA} \geq 2.7V$
	$V_{OUT}$	$V_{DDA} \geq 2.7V$	—	—	—	—	
SID283	$V_{OUT\_1}$	電力 = 高、 $I_{load} = 10mA$	0.5	—	$V_{DDA} - 0.5$	V	
SID284	$V_{OUT\_2}$	電力 = 高、 $I_{load} = 1mA$	0.2	—	$V_{DDA} - 0.2$	V	
SID285	$V_{OUT\_3}$	電力 = 中、 $I_{load} = 1mA$	0.2	—	$V_{DDA} - 0.2$	V	
SID286	$V_{OUT\_4}$	電力 = 低、 $I_{load} = 0.1mA$	0.2	—	$V_{DDA} - 0.2$	V	
SID288	$V_{OS\_TR}$	オフセット電圧 (トリム済み)	1	$\pm 0.5$	1	mV	高電力モード
SID288A	$V_{OS\_TR}$	オフセット電圧 (トリム済み)	—	$\pm 1$	—	mV	中電力モード
SID288B	$V_{OS\_TR}$	オフセット電圧 (トリム済み)	—	$\pm 2$	—	mV	低電力モード
SID290	$V_{OS\_DR\_TR}$	オフセット電圧ドリフト (トリム済み)	-10	$\pm 3$	10	$\mu V/C$	高電力モード
SID290A	$V_{OS\_DR\_TR}$	オフセット電圧ドリフト (トリム済み)	—	$\pm 10$	—	$\mu V/C$	中電力モード
SID290B	$V_{OS\_DR\_TR}$	オフセット電圧ドリフト (トリム済み)	—	$\pm 10$	—	$\mu V/C$	低電力モード
SID291	CMRR	DC	70	80	—	dB	$V_{DDD} = 3.6V$
SID292	PSRR	1kHz で、100mV リップル	70	85	—	dB	$V_{DDD} = 3.6V$
	ノイズ		—	—	—	—	
SID293	$V_{N1}$	基準入力、1Hz ~ 1GHz、電力 = 高	—	94	—	$\mu V_{rms}$	
SID294	$V_{N2}$	基準入力、1kHz、電力 = 高	—	72	—	$nV/rtHz$	
SID295	$V_{N3}$	基準入力、10kHz、電力 = 高	—	28	—	$nV/rtHz$	
SID296	$V_{N4}$	基準入力、100kHz、電力 = 高	—	15	—	$nV/rtHz$	
SID297	$C_{load}$	最大負荷まで安定。50pF で性能仕様を満たす	—	—	125	pF	

**表 8. オペアンプの仕様**

(特性評価で保証)(続き)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID298	Slew_rate	$C_{load} = 50\text{pF}$ 、電力 = 高、 $V_{DDA} \geq 2.7\text{V}$	6	—	—	$\text{V}/\mu\text{sec}$	
SID299	T_op_wake	無効から有効まで、外付け RC 支配なし	—	25	—	$\mu\text{sec}$	
	Comp_mode	コンパレータモード; 50mV 駆動、 $Trise = Tf_{fall}$ (おおよそ)	—	—	—		
SID300	T <sub>PD1</sub>	応答時間; 電力 = 高	—	150	—	nsec	
SID301	T <sub>PD2</sub>	応答時間; 電力 = 中	—	400	—	nsec	
SID302	T <sub>PD3</sub>	応答時間; 電力 = 低	—	2000	—	nsec	
SID303	V <sub>hyst_op</sub>	ヒステリシス	—	10	—	mV	
ディープスリープモード		モード2は最低電流範囲。モード1はGBWが高い					
SID_DS_1	IDD_HI_M1	モード1、高電流	—	1400	—	uA	25 °C
SID_DS_2	IDD_MED_M1	モード1、中電流	—	700	—	uA	25 °C
SID_DS_3	IDD_LOW_M1	モード1、低電流	—	200	—	uA	25 °C
SID_DS_4	IDD_HI_M2	モード2、高電流	—	120	—	uA	25 °C
SID_DS_5	IDD_MED_M2	モード2、中電流	—	60	—	uA	25 °C
SID_DS_6	IDD_LOW_M2	モード2、低電流	—	15	—	uA	25 °C
SID_DS_7	GBW_HI_M1	モード1、高電流	—	4	—	MHz	25 °C
SID_DS_8	GBW_MED_M1	モード1、中電流	—	2	—	MHz	25 °C
SID_DS_9	GBW_LOW_M1	モード1、低電流	—	0.5	—	MHz	25 °C
SID_DS_10	GBW_HI_M2	モード2、高電流	—	0.5	—	MHz	20pF 負荷、 DC 負荷なし、 0.2V ~ VDDA-0.2V
SID_DS_11	GBW_MED_M2	モード2、中電流	—	0.2	—	MHz	20pF 負荷、 DC 負荷なし、 0.2V ~ VDDA-0.2V
SID_DS_12	GBW_LOW_M2	モード2、低電流	—	0.1	—	MHz	20pF 負荷、 DC 負荷なし、 0.2V ~ VDDA-0.2V
SID_DS_13	VOS_HI_M1	モード1、高電流	—	5	—	mV	トリム済み、 25 °C、 0.2V ~ VDDA-0.2V
SID_DS_14	VOS_MED_M1	モード1、中電流	—	5	—	mV	トリム済み、 25 °C、 0.2V ~ VDDA-0.2V
SID_DS_15	VOS_LOW_M2	モード1、低電流	—	5	—	mV	トリム済み、 25 °C、 0.2V ~ VDDA-0.2V
SID_DS_16	VOS_HI_M2	モード2、高電流	—	5	—	mV	トリム済み、 25 °C、 0.2V ~ VDDA-0.2V

表 8. オペアンプの仕様

(特性評価で保証)(続き)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID_DS_17	VOS_MED_M2	モード2、中電流	–	5	–	mV	トリム済み、 25°C、 0.2V ~ VDDA-0.2V
SID_DS_18	VOS_LOW_M2	モード2、低電流	–	5	–	mV	トリム済み、 25°C、 0.2V ~ VDDA-0.2V
SID_DS_19	IOUT_HI_M1	モード1、高電流	–	10	–	mA	出力が 0.5V ~ VDDA-0.5 V
SID_DS_20	IOUT_MED_M1	モード1、中電流	–	10	–	mA	出力が 0.5V ~ VDDA-0.5 V
SID_DS_21	IOUT_LOW_M1	モード1、低電流	–	4	–	mA	出力が 0.5V ~ VDDA-0.5 V
SID_DS_22	IOUT_HI_M2	モード2、高電流	–	1	–	mA	20pF 負荷、 DC 負荷なし、 0.2V ~ VDDA-0.2V
SID_DS_23	IOU_MED_M2	モード2、中電流	–	1	–	mA	
SID_DS_24	IOU_LOW_M2	モード2、低電流	–	0.5	–	mA	

コンパレータ

表 9. コンパレータの DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID85	$V_{OFFSET2}$	入力オフセット電圧(トリム済み)	–	–	$\pm 4$	mV	
SID85A	$V_{OFFSET3}$	入力オフセット電圧。超低消費電力モード	–	$\pm 12$	–	mV	
SID86	$V_{HYST}$	有効時のヒステリシス	–	10	35	mV	特性評価で保証
SID87	$V_{ICM1}$	通常モードでの入力同相電圧	0	–	$V_{DDD} - 0.1$	V	モード1とモード2
SID247	$V_{ICM2}$	低消費電力モードでの入力同相電圧	0	–	$V_{DDD}$	V	
SID247A	$V_{ICM2}$	超低消費電力モードでの入力同相電圧	0	–	$V_{DDD} - 1.15$	V	
SID88	CMRR	同相信号除去比	50	–	–	dB	$V_{DDD} \geq 2.7V$ 。特性評価で保証
SID88A	CMRR	同相信号除去比	42	–	–	dB	$V_{DDD} < 2.7V$ 。特性評価で保証
SID89	$I_{CMP1}$	ブロック電流、通常モード	–	–	280	$\mu A$	特性評価で保証
SID248	$I_{CMP2}$	ブロック電流、低消費電力モード	–	–	50	$\mu A$	特性評価で保証
SID259	$I_{CMP3}$	ブロック電流、超低消費電力モード	–	–	6	$\mu A$	特性評価で保証
SID90	$Z_{CMP}$	コンパレータの DC 入力インピーダンス	35	–	–	$M\Omega$	特性評価で保証

**表 10. コンパレータ AC 仕様**

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID91	T <sub>RESP1</sub>	応答時間、通常モード	—	—	38	ns	50mV オーバードライブ
SID258	T <sub>RESP2</sub>	応答時間、低電力モード	—	—	70	ns	50mV オーバードライブ
SID92	T <sub>RESP3</sub>	応答時間、超低電力モード	—	—	2.3	μs	200mV オーバードライブ

温度センサー

**表 11. 温度センサーの仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID93	T <sub>SENSACC</sub>	温度センサーの精度	—5	±1	+5	°C	−40 °C ~ +85 °C

SAR ADC

**表 12. SAR ADC の DC 仕様**

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID94	A_RES	分解能	—	—	12	ビット	
SID95	A_CHNIS_S	チャネル数 - シングルエンド	—	—	16		8 本のフルスピード チャネル
SID96	A_CHNKS_D	チャネル数 - 差動	—	—	8		差動入力は隣接する I/O 使用
SID97	A-MONO	単調性	—	—	—		あり。特性評価に基づく
SID98	A_GAINERR	ゲイン誤差	—	—	±0.1	%	外部リファレンスあり
SID99	A_OFFSET	入力オフセット電圧	—	—	2	mV	1V V <sub>REF</sub> で測定
SID100	A_ISAR	消費電流	—	—	1	mA	
SID101	A_VINS	入力電圧範囲 - シングルエンド	V <sub>SS</sub>	—	V <sub>DDA</sub>	V	デバイスの特性評価に基づく
SID102	A_VIND	入力電圧範囲 - 差動	V <sub>SS</sub>	—	V <sub>DDA</sub>	V	デバイスの特性評価に基づく
SID103	A_INRES	入力抵抗	—	—	2.2	KΩ	デバイスの特性評価に基づく
SID104	A_INCAP	入力静電容量	—	—	10	pF	デバイスの特性評価に基づく

**表 13. SAR ADC の AC 仕様**

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID106	A_PSRR	電源電圧変動除去比	70	—	—	dB	
SID107	A_CMRR	同相信号除去比	66	—	—	dB	1V で測定
SID108	A_SAMP_1	サンプル レート、外付けリファレンス バイパス コンデンサあり	—	—	806	Ksps	
SID108A	A_SAMP_2	サンプル レート、バイパス コンデンサなし。 リファレンス = V <sub>DD</sub>	—	—	500	Ksps	
SID108B	A_SAMP_3	サンプル レート、バイパス コンデンサなし。 内部リファレンス	—	—	100	Ksps	
SID109	A_SNDR	信号対ノイズおよび歪み比 (SINAD)	65	—	—	dB	F <sub>IN</sub> = 10kHz
SID111	A_INL	積分非直線性	−1.7	—	+2	LSB	V <sub>DD</sub> = 1.71V ~ 5.5V、 806Ksps、V <sub>ref</sub> = 1V ~ 5.5V

表 13. SAR ADC の AC 仕様

(特性評価で保証)(続き)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID111A	A_INL	積分非直線性	-1.5	-	+1.7	LSB	$V_{DDD} = 1.71 \sim 3.6$ 、 806Ksps、 $V_{ref} = 1.71 \sim V_{DDD}$
SID111B	A_INL	積分非直線性	-1.5	-	+1.7	LSB	$V_{DDD} = 1.71 \sim 5.5$ 、 500Ksps、 $V_{ref} = 1 \sim 5.5$
SID112	A_DNL	微分非直線性	-1	-	+2.2	LSB	$V_{DDD} = 1.71 \sim 5.5$ 、 806Ksps、 $V_{ref} = 1 \sim 5.5$
SID112A	A_DNL	微分非直線性	-1	-	+2	LSB	$V_{DDD} = 1.71 \sim 3.6$ 、 806Ksps、 $V_{ref} = 1.71 \sim V_{DDD}$
SID112B	A_DNL	微分非直線性	-1	-	+2.2	LSB	$V_{DDD} = 1.71 \sim 5.5$ 、 500Ksps、 $V_{ref} = 1 \sim 5.5$
SID113	A_THD	全高調波歪み	-	-	-65	dB	$F_{IN} = 10\text{kHz}$

CSD

表 14. CSD ブロック仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
<b>CSD 仕様</b>							
SID308	VCSD	動作電圧範囲	1.71	-	5.5	V	
SID309	IDAC1	8 ビット分解能用の DNL	-1	-	1	LSB	
SID310	IDAC1	8 ビット分解能用の INL	-3	-	3	LSB	
SID311	IDAC2	7 ビット分解能用の DNL	-1	-	1	LSB	
SID312	IDAC2	7 ビット分解能用の INL	-3	-	3	LSB	
SID313	SNR	指数対ノイズ比。特性評価で保証	5	-	-	比率	静電容量範囲が 9 ~ 35 pF、感度 = 0.1 pF
SID314	IDAC1_CRT 1	高レンジの Idac1 (8 ビット) の出力電流	-	612	-	μA	
SID314 A	IDAC1_CRT 2	低レンジの Idac1 (8 ビット) の出力電流	-	306	-	μA	
SID315	IDAC2_CRT 1	高レンジの Idac2 (7 ビット) の出力電流	-	304.8	-	μA	
SID315 A	IDAC2_CRT 2	低レンジの Idac2 (7 ビット) の出力電流	-	152.4	-	μA	

### デジタルペリフェラル

次の仕様は、タイマモードでのタイマ / カウンタ / PWM 周辺機器に適用されます。

#### タイマー / カウンター / PWM

**表 15. TCPWM 仕様**

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.TCPWM.1	ITCPWM1	3MHz でのブロック消費電流			45	μA	全てのモード (タイマー / カウンター / PWM)
SID.TCPWM.2	ITCPWM2	12MHz でのブロック消費電流			155	μA	全てのモード (タイマー / カウンター / PWM)
SID.TCPWM.2A	ITCPWM3	48MHz でのブロック消費電流			450	μA	全てのモード (タイマー / カウンター / PWM)
SID.TCPWM.3	TCPWMFREQ	動作周波数			F <sub>c</sub>	MHz	F <sub>c</sub> max = F <sub>cpu</sub> 。Max = 48MHz
SID.TCPWM.4	TPWMENEXT	全てのトリガーイベント用の入力トリガーパルス幅	2/F <sub>c</sub>			ns	選択した動作モードによってトリガーイベントはストップ、スタート、リロード、カウント、キャプチャまたはキル
SID.TCPWM.5	TPWMEXT	出力トリガー パルス幅	2/F <sub>c</sub>			ns	オーバーフロー、アンダーフローおよび CC (カウンター = 比較値) トリガー出力の最小幅
SID.TCPWM.5A	TCRES	カウンターフィルタ	1/F <sub>c</sub>			ns	連続カウント同士間の最小時間
SID.TCPWM.5B	PWMRES	PWM 分解能	1/F <sub>c</sub>			ns	PWM 出力 PSoC 4100M の最小パルス幅
SID.TCPWM.5C	QRES	直交位相分解能	1/F <sub>c</sub>			ns	直交位相入力同士間の最小パルス幅

### I<sup>2</sup>C

**表 16. 固定 I<sup>2</sup>C の DC 仕様**

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID149	I <sub>I2C1</sub>	100kHz でのブロック消費電流	—	—	10.5	μA	
SID150	I <sub>I2C2</sub>	400kHz でのブロック消費電流	—	—	135	μA	
SID151	I <sub>I2C3</sub>	1Mbps でのブロック消費電流	—	—	310	μA	
SID152	I <sub>I2C4</sub>	ディープスリープ モードで有効にされた I <sup>2</sup> C	—	—	1.4	μA	

**表 17. 固定 I<sup>2</sup>C の AC 仕様**

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID153	F <sub>I2C1</sub>	ビットレート	—	—	1	Mbps	

LCD ダイレクト ドライブ

**表 18. LCD 直接駆動の DC 仕様**

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID154	$I_{LCDLOW}$	低消費電力モードでの動作電流	—	5	—	$\mu A$	$16 \times 4$ 小型セグメントディスプレイが 50Hz で動作
SID155	$C_{LCDCAP}$	セグメント／コモン ドライバー当たりの LCD 静電容量	—	500	5000	$pF$	設計で保証
SID156	$LCD_{OFFSET}$	長時間セグメント オフセット	—	20	—	$mV$	
SID157	$I_{LCDOP1}$	PWM モード電流。5V バイアス。24MHz IMO	—	0.6	—	$mA$	$32 \times 4$ セグメント、50Hz、25 °C
SID158	$I_{LCDOP2}$	PWM モード電流。3.3V バイアス。24MHz IMO	—	0.5	—	$mA$	$32 \times 4$ セグメント、50Hz、25 °C

**表 19. LCD 直接駆動の AC 仕様**

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID159	$F_{LCD}$	LCD フレーム レート	10	50	150	Hz	

**表 20. 固定 UART の DC 仕様**

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID160	$I_{UART1}$	100 K ビット / 秒でのブロック消費電流	—	—	9	$\mu A$	
SID161	$I_{UART2}$	1000 K ビット / 秒でのブロック消費電流	—	—	312	$\mu A$	

**表 21. 固定 UART の AC 仕様**

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位
SID162	$F_{UART}$	ビット レート	—	—	1	Mbps

SPI の仕様

**表 22. 固定 SPI の DC 仕様**

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位
SID163	$I_{SPI1}$	1M ビット / 秒でのブロック消費電流	—	—	360	$\mu A$
SID164	$I_{SPI2}$	4M ビット / 秒でのブロック消費電流	—	—	560	$\mu A$
SID165	$I_{SPI3}$	8M ビット / 秒でのブロック消費電流	—	—	600	$\mu A$

**表 23. 固定 SPI の AC 仕様**

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位
SID166	$F_{SPI}$	SPI 動作周波数 (マスター; 6 倍のオーバーサンプリング)	—	—	8	MHz

**表 24. 固定 SPI のマスター モードの AC 仕様**

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位
SID167	$T_{DMO}$	$Sclock$ 駆動エッジ後の MOSI 有効期間	—	—	15	ns
SID168	$T_{DSI}$	$Sclock$ キャプチャエッジ前の MISO 有効時間。フルクロック サイクル、遅い MISO サンプルを使用	20	—	—	ns
SID169	$T_{HMO}$	スレーブ側でのキャプチャエッジ前の MOSI データホールド時間	0	—	—	ns

**表 25. 固定 SPI のスレーブ モードの AC 仕様**

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位
SID170	$T_{DMI}$	$Sclock$ キャプチャエッジ前の MOSI 有効時間	40	—	—	ns
SID171	$T_{DSO}$	$Sclock$ 駆動エッジ後の MISO 有効期間	—	—	$42 + 3 \times FCPU$	ns
SID171A	$T_{DSO\_ext}$	外部クロック モードでの $Sclock$ 駆動エッジ後の MISO 有効時間	—	—	48	ns
SID172	$T_{HSO}$	前の MISO データ ホールド時間	0	—	—	ns
SID172A	$T_{SSELsck}$	SSEL 有効から最初の SCK 有効エッジまでの時間	100	—	—	ns

## メモリ

**表 26. フラッシュの DC 仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID173	$V_{PE}$	消去およびプログラム電圧	1.71	—	5.5	V	

**表 27. フラッシュの AC 仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID174	$T_{ROWWRITE}$	行(ブロック)書き込み時間(消去およびプログラム)	—	—	20	ms	行(ブロック) = 256 バイト
SID175	$T_{OWERASE}$	行消去時間	—	—	13	ms	
SID176	$T_{ROWPROGRAM}$	消去後の行プログラム時間	—	—	7	ms	
SID178	$T_{BULKERASE}$	バルク消去時間(128KB)	—	—	35	ms	
SID179	$T_{SECTORERASE}$	セクタ消去時間(8KB)	—	—	15	ms	
SID180	$T_{DEVPROG}$	デバイス プログラム合計時間	—	—	15	s	特性評価で保証
SID181	$F_{END}$	フラッシュへのアクセス可能回数	100K	—	—	サイクル	特性評価で保証
SID182	$F_{RET}$	フラッシュのデータ保存期間。 $T_A \leq 55^\circ C$ 、プログラム／消去サイクル = 100K	20	—	—	年	特性評価で保証
SID182A		フラッシュのデータ保存期間。 $T_A \leq 85^\circ C$ 、プログラム／消去サイクル = 10K	10	—	—	年	特性評価で保証

**システム リソース**

電圧低下対応パワー オン リセット (POR)

**表 28. 不正確なパワー オン リセット (PRES)**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID185	$V_{RISEIPOR}$	立ち上がりトリップ電圧	0.80	—	1.45	V	特性評価で保証
SID186	$V_{FALLIPOR}$	立ち下がりトリップ電圧	0.75	—	1.4	V	特性評価で保証
SID187	$V_{IPORHYST}$	ヒステリシス	15	—	200	mV	特性評価で保証

**表 29. 正確なパワー オン リセット (POR)**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID190	$V_{FALLPPOR}$	アクティブ モードとスリープ モードでの BOD トリップ電圧	1.64	—	—	V	特性評価で保証
SID192	$V_{FALLDPSLP}$	ディープスリープ モードでの BOD トリップ電圧	1.4	—	—	V	特性評価で保証

**電圧モニタ**
**表 30. 電圧モニタの DC 仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID195	$V_{LVI1}$	$LVI\_A/D\_SEL[3:0] = 0000b$	1.71	1.75	1.79	V	
SID196	$V_{LVI2}$	$LVI\_A/D\_SEL[3:0] = 0001b$	1.76	1.80	1.85	V	
SID197	$V_{LVI3}$	$LVI\_A/D\_SEL[3:0] = 0010b$	1.85	1.90	1.95	V	
SID198	$V_{LVI4}$	$LVI\_A/D\_SEL[3:0] = 0011b$	1.95	2.00	2.05	V	
SID199	$V_{LVI5}$	$LVI\_A/D\_SEL[3:0] = 0100b$	2.05	2.10	2.15	V	
SID200	$V_{LVI6}$	$LVI\_A/D\_SEL[3:0] = 0101b$	2.15	2.20	2.26	V	
SID201	$V_{LVI7}$	$LVI\_A/D\_SEL[3:0] = 0110b$	2.24	2.30	2.36	V	
SID202	$V_{LVI8}$	$LVI\_A/D\_SEL[3:0] = 0111b$	2.34	2.40	2.46	V	
SID203	$V_{LVI9}$	$LVI\_A/D\_SEL[3:0] = 1000b$	2.44	2.50	2.56	V	
SID204	$V_{LVI10}$	$LVI\_A/D\_SEL[3:0] = 1001b$	2.54	2.60	2.67	V	
SID205	$V_{LVI11}$	$LVI\_A/D\_SEL[3:0] = 1010b$	2.63	2.70	2.77	V	
SID206	$V_{LVI12}$	$LVI\_A/D\_SEL[3:0] = 1011b$	2.73	2.80	2.87	V	
SID207	$V_{LVI13}$	$LVI\_A/D\_SEL[3:0] = 1100b$	2.83	2.90	2.97	V	
SID208	$V_{LVI14}$	$LVI\_A/D\_SEL[3:0] = 1101b$	2.93	3.00	3.08	V	
SID209	$V_{LVI15}$	$LVI\_A/D\_SEL[3:0] = 1110b$	3.12	3.20	3.28	V	
SID210	$V_{LVI16}$	$LVI\_A/D\_SEL[3:0] = 1111b$	4.39	4.50	4.61	V	
SID211	$LVI\_IDD$	ブロック電流	—	—	100	$\mu$ A	特性評価で保証

**表 31. 電圧モニタの AC 仕様**

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID212	$T_{MONTRIP}$	電圧モニタ トリップ時間	—	—	1	$\mu$ s	特性評価で保証

SWD インターフェース

表 32. SWD インターフェース仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID213	F_SWDCLK1	$3.3V \leq V_{DD} \leq 5.5V$	—	—	14	MHz	SWDCLK $\leq 1/3$ CPU クロック周波数
SID214	F_SWDCLK2	$1.71V \leq V_{DD} \leq 3.3V$	—	—	7	MHz	SWDCLK $\leq 1/3$ CPU クロック周波数
SID215	T_SWDI_SETUP	$T=1/f$ SWDCLK	$0.25*T$	—	—	ns	特性評価で保証
SID216	T_SWDI_HOLD	$T=1/f$ SWDCLK	$0.25*T$	—	—	ns	特性評価で保証
SID217	T_SWDO_VALID	$T=1/f$ SWDCLK	—	—	$0.5*T$	ns	特性評価で保証
SID217A	T_SWDO_HOLD	$T=1/f$ SWDCLK	1	—	—	ns	特性評価で保証

内部主振動子

表 33. IMO の DC 仕様

( 設計で保証 )

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID218	I IMO1	48MHz での IMO 動作電流	—	—	1000	μA	
SID219	I IMO2	24MHz での IMO 動作電流	—	—	325	μA	
SID220	I IMO3	12MHz での IMO 動作電流	—	—	225	μA	
SID221	I IMO4	6MHz での IMO 動作電流	—	—	180	μA	
SID222	I IMO5	3MHz での IMO 動作電流	—	—	150	μA	

表 34. IMO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID223	F_IMOTOL1	3MHz ~ 48MHz での周波数変化	—	—	$\pm 2$	%	
SID226	T STARTIMO	IMO 起動時間	—	—	12	μs	
SID227	T JITRMSIMO1	3MHz での RMS ジッタ	—	156	—	ps	
SID228	T JITRMSIMO2	24MHz での RMS ジッタ	—	145	—	ps	
SID229	T JITRMSIMO3	48MHz での RMS ジッタ	—	139	—	ps	

内部低速振動子

表 35. ILO の DC 仕様

( 設計で保証 )

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID231	I ILO1	32kHz での ILO 動作電流	—	0.3	1.05	μA	特性評価で保証
SID233	I ILOLEAK	ILO リーク電流	—	2	15	nA	設計で保証

表 36. ILO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID234	T STARTILO1	ILO 起動時間	—	—	2	ms	特性評価で保証
SID236	T ILODUTY	ILO デューティ比	40	50	60	%	特性評価で保証
SID237	F ILOTRIM1	32kHz でのトリム済み周波数	15	32	50	kHz	トリミングにより $\pm 60\%$

表 37. 外部クロック仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID305	ExtClkFreq	外部クロック入力周波数	0	—	48	MHz	特性評価で保証
SID306	ExtClkDuty	デューティサイクル、 $V_{DD}/2$ で測定	45	—	55	%	特性評価で保証

表 38. 水晶振動子仕様

仕様 ID	パラメータ	説明	Min	Typ	Max	単位	詳細／条件
<b>kHz ECO DC 仕様</b>							
SID318	Idd_kHz	32kHz 水晶振動子でのブロック動作電流	—	0.25	1	μA	
<b>kHz ECO AC 仕様</b>							
SID319	F_kHz	32KHz でのトリム済み周波数	—	32.768	—	kHz	
SID320	Ton_kHz	起動時間	—	—	1	秒	

表 39. ブロック仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID257	T <sub>WS24</sub> *	48MHz でのウェイトステート数	1	—	—		CPU がフラッシュから実行。特性評価で保証
SID260	V <sub>REFSAR</sub>	24MHz でのウェイトステート数	—1	—	+1	%	CPU がフラッシュから実行。特性評価で保証
SID261	F <sub>SARINTREF</sub>	SAR へのトリム済み内部リファレンス	—	—	100	kspS	V <sub>bg</sub> (1.024V) のパーセント。特性評価で保証
SID262	T <sub>CLKSWITCH</sub>	外部リファレンス バイパスなしの SAR 動作速度	3	—	4	周期	12 ビット分解能。特性評価で保証

\* Tws48 と Tws24 は設計で保証です。

## 注文情報

PSoC 4100M ファミリの型番および機能を下表にリストアップします。

カテゴリ	MPN	特長												パッケージ			
		CPU の大速度 (MHz)	フラッシュ (KB)	SRAM (KB)	オペアンプ (CTBm)	CSD	IDAC (1X7-BIT、1-8-BIT)	LCD 直接駆動	12 ビット SAR ADC	LP コンバーテータ	TCPWM ブロック	SCB ブロック	GPIO	48-TQFP	64-TQFP (0.5mm ピッチ)	64-TQFP (0.8mm ピッチ)	68-QFN
4125	CY8C4125AZI-M433	24	32	4	2	—	—	—	806Ksps	2	8	4	38	4	—	—	—
	CY8C4125AZI-M443	24	32	4	2	4	—	4	806Ksps	2	8	4	38	4	—	—	—
	CY8C4125AZI-M445	24	32	4	2	4	—	4	806Ksps	2	8	4	51	—	4	—	—
	CY8C4125LTI-M445	24	32	4	2	4	—	4	806Ksps	2	8	4	55	—	—	—	4
	CY8C4125AXI-M445	24	32	4	2	4	—	4	806Ksps	2	8	4	51	—	—	4	
4126	CY8C4126AZI-M443	24	64	8	2	4	—	4	806Ksps	2	8	4	38	4	—	—	—
	CY8C4126AZI-M445	24	64	8	2	4	—	4	806Ksps	2	8	4	51	—	4	—	—
	CY8C4126AZI-M475	24	64	8	4	—	4	—	806Ksps	2	8	4	51	—	4	—	—
	CY8C4126LTI-M445	24	64	8	2	4	—	4	806Ksps	2	8	4	55	—	—	—	4
	CY8C4126LTI-M475	24	64	8	4	—	4	—	806Ksps	2	8	4	55	—	—	—	4
	CY8C4126AXI-M445	24	64	8	2	4	—	4	806Ksps	2	8	4	51	—	—	—	—
4127	CY8C4127LTI-M475	24	128	16	4	—	4	—	806Ksps	2	8	4	55	—	—	—	4
	CY8C4127AZI-M475	24	128	16	4	—	4	—	806Ksps	2	8	4	51	—	—	—	—
	CY8C4127AZI-M485	24	128	16	4	4	4	4	806Ksps	2	8	4	51	—	4	—	—
	CY8C4127AXI-M485	24	128	16	4	4	4	4	806Ksps	2	8	4	51	—	—	4	—

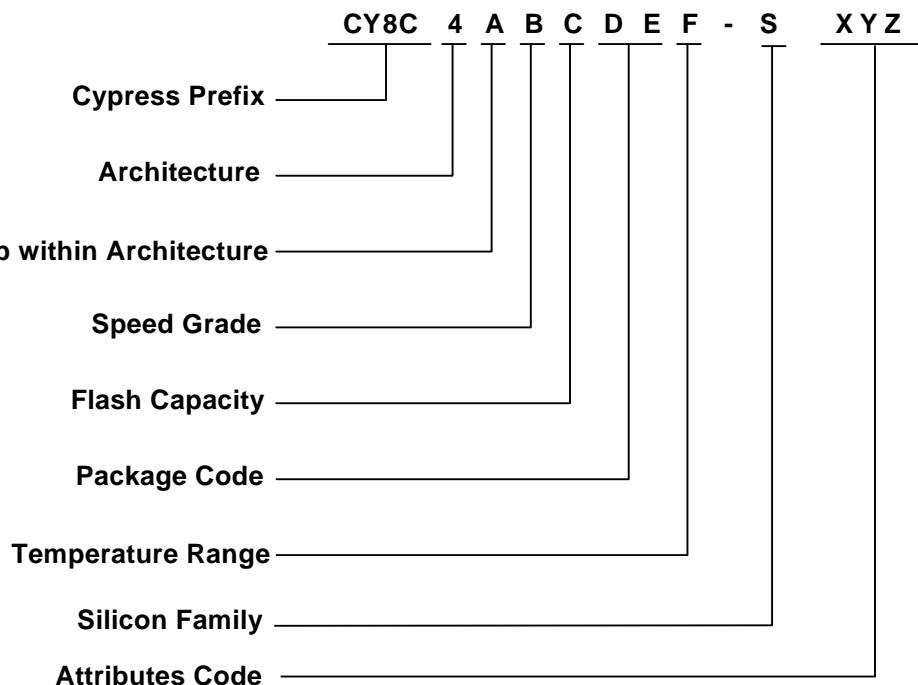
上の表で使用した命名法は以下の型番の規則に基づきます。

フィールド	説明	値	意味
CY8C	サイプレスの接頭辞		
4	アーキテクチャ	4	PSoC 4
A	ファミリ	2	4100 ファミリ
B	CPU 速度	4	48MHz
C	フラッシュ容量	4	16KB
		5	32KB
		6	64KB
		7	128KB
DE	パッケージ コード	AX、AZ	TQFP
		LQ	QFN
		BU	BGA
		FD	CSP
F	温度範囲	I	産業用

フィールド	説明	値	意味
S	シリコン ファミリ	該当なし	PSoC 4A
		L	PSoC 4A-L
		BL	PSoC 4A-BLE
XYZ	属性コード	000-999	特定のファミリの機能セットのコード

**型番の命名規則**

型番フィールドは以下のように定義されています。



## パッケージ

PSoC 4100M パッケージ寸法の説明は以下の通りです。

仕様 ID#	パッケージ	演習内容	パッケージ外形図 #
PKG_1	68 ピン QFN	68 QFN、8mm x 8mm x 1.0mm 高さ、0.4mm ピッチ	001-09618
PKG_2	64 ピン TQFP	64 TQFP、10mm x 10mm x 1.4mm 高さ、0.5mm ピッチ	51-85051
PKG_4	64 ピン TQFP	64 TQFP、14mm x 14mm x 1.4mm 高さ、0.8mm ピッチ	51-85046
PKG_5	48 ピン TQFP	48 TQFP、7mm x 7mm x 1.4mm 高さ、0.5mm ピッチ	51-85135

表 40. パッケージの特性

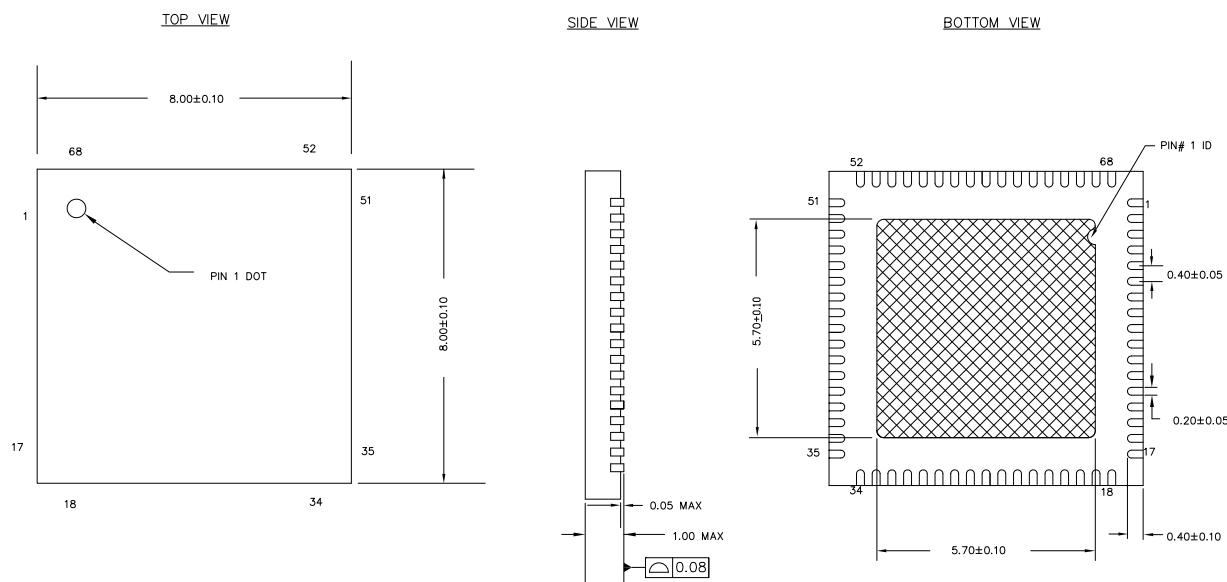
パラメーター	説明	条件	Min	Typ	Max	単位
T <sub>A</sub>	動作周囲温度		-40	25.00	85	°C
T <sub>J</sub>	動作接合部温度		-40	-	100	°C
T <sub>JA</sub>	パッケージ θ <sub>JA</sub> (68 ピン QFN)		-	-	16.5	°C/W
T <sub>JA</sub>	パッケージ θ <sub>JA</sub> (64 ピン TQFP、0.5mm ピッチ)		-	-	54	°C/W
T <sub>JA</sub>	パッケージ θ <sub>JA</sub> (64 ピン TQFP、0.8mm ピッチ)		-	-	64	°C/W
T <sub>JA</sub>	パッケージ θ <sub>JA</sub> (48 ピン TQFP)		-	-	67	°C/W

表 41. はんだリフロー ピーク温度

パッケージ	最高ピーク温度	ピーク温度での最長時間
すべてのパッケージ	260 °C	30 秒

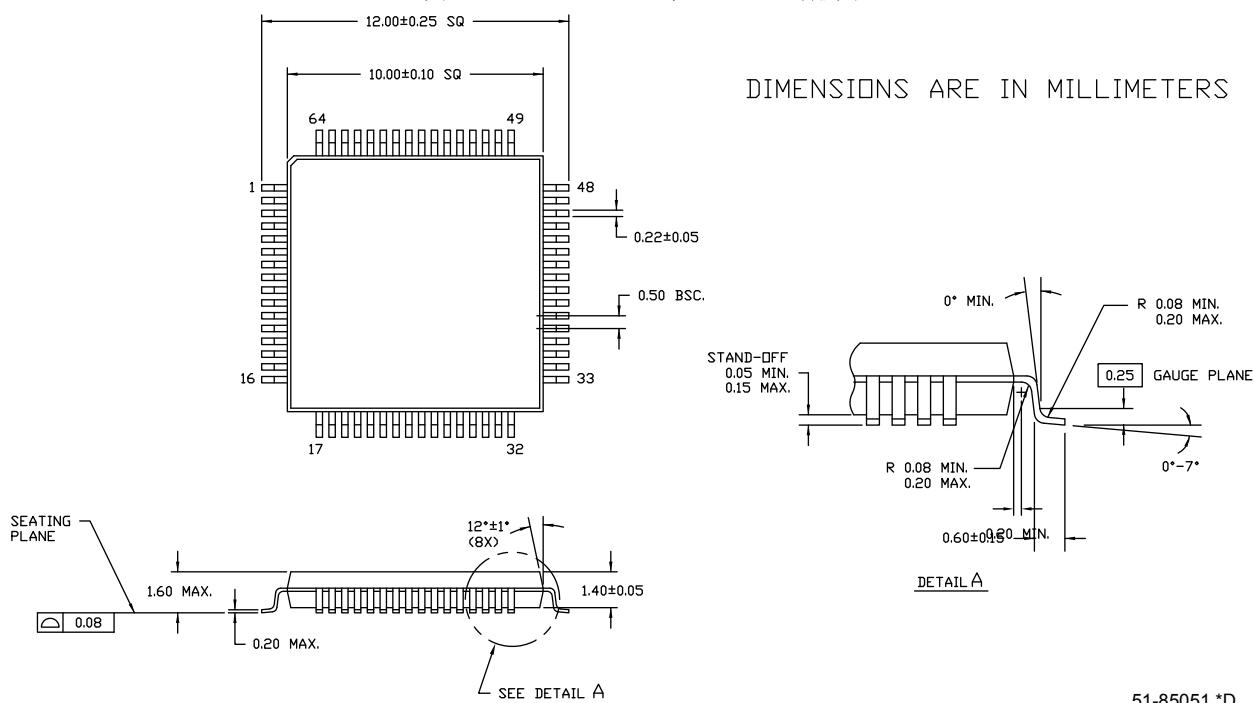
表 42. パッケージの湿度感度レベル (MSL)、IPC/JEDEC J-STD-2

パッケージ	MSL
全てのパッケージ	MSL 3

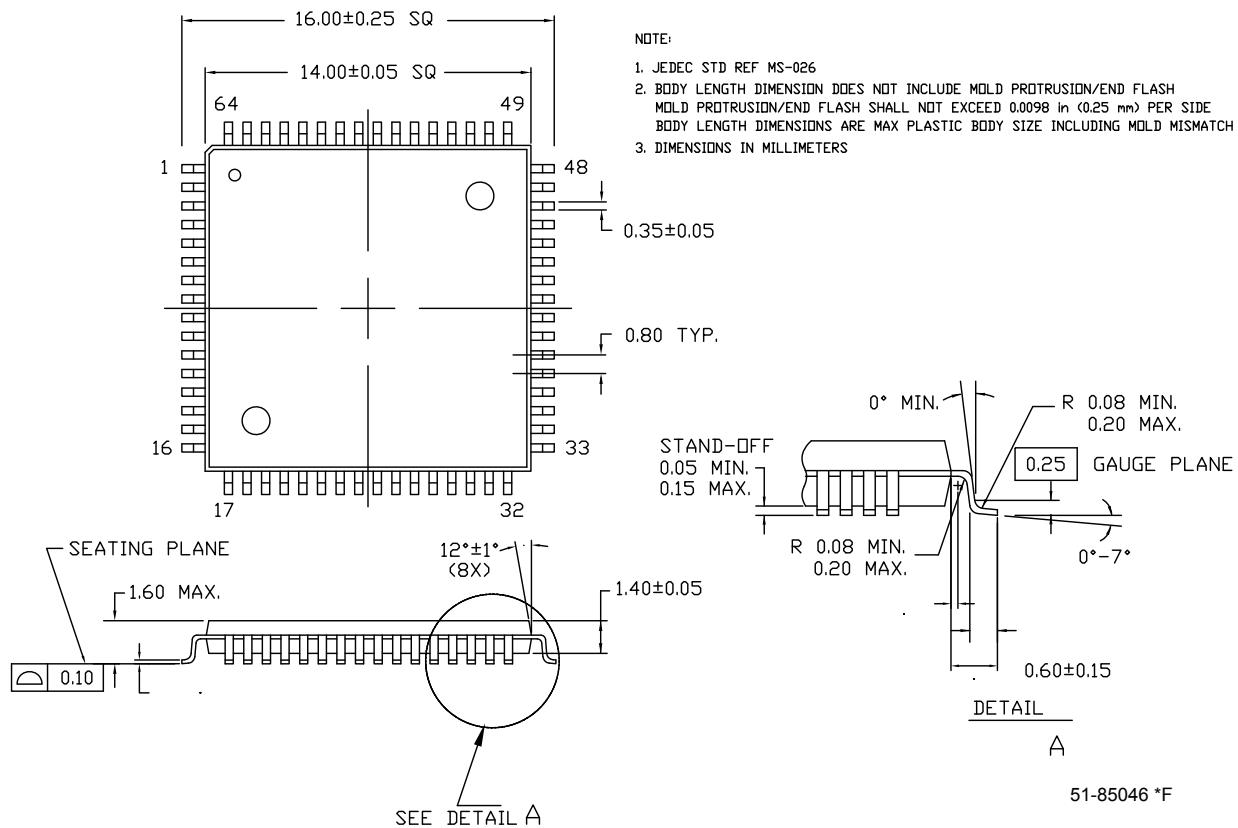
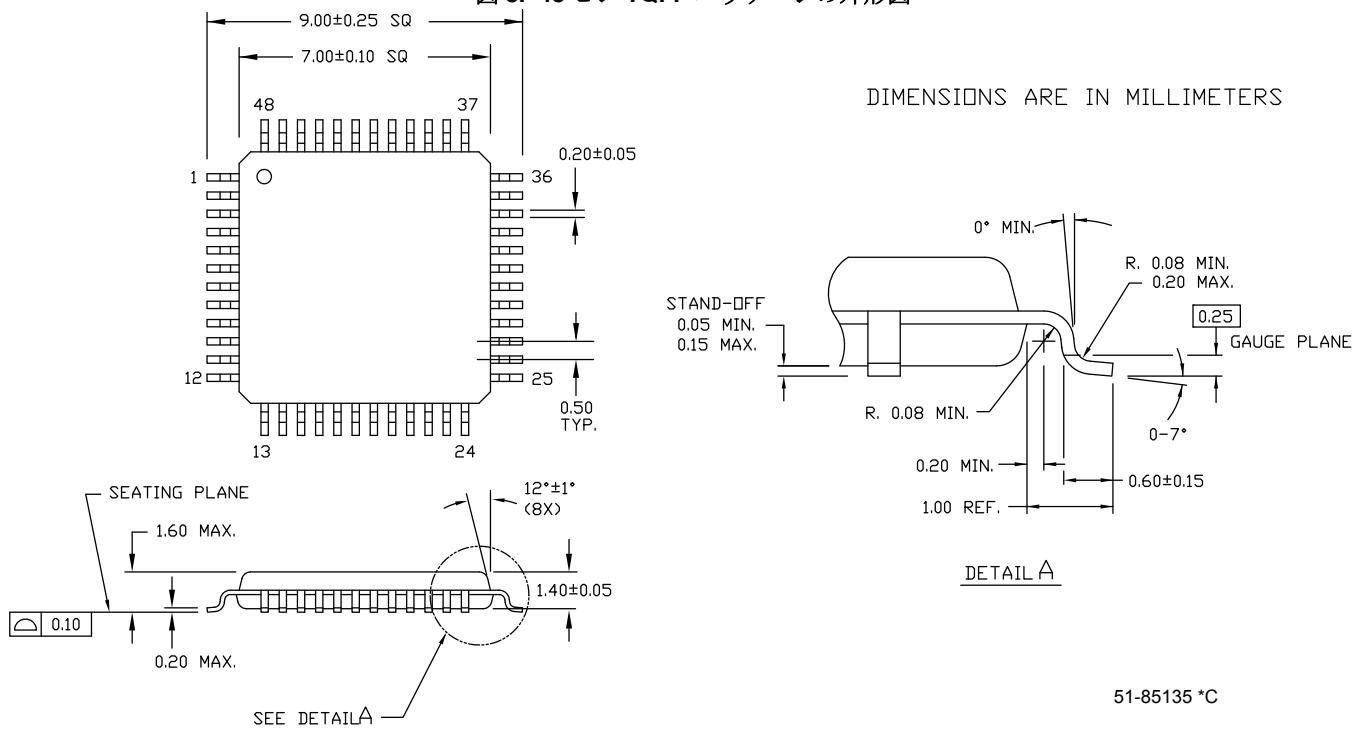
**図 5. 68 ピン QFN パッケージの外形図**

NOTES:

1.  HATCH AREA IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC#: MO-220
3. PACKAGE WEIGHT: 17 ± 2mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-09618 \*E

**図 6. 64 ピン TQFP パッケージの外形図**


51-85051 \*D

**図 7. 64 ピン 14 × 14mm TQFP パッケージの外形図**

**図 8. 48 ピン TQFP パッケージの外形図**


## 略語

表 43. 本書で使用する略語

略語	説明
abus	アナログ ローカル バス
ADC	アナログ - デジタル コンバーター
AG	アナログ グローバル
AHB	AMBA (アドバンストマイクロコントローラー バス アーキテクチャ) 高性能バス (ARM データ転送バスの一種)
ALU	算術論理装置
AMUXBUS	アナログ マルチプレクサ バス
API	アプリケーション プログラミング インターフェース
APSR	アプリケーション プログラム ステータス レジスタ
ARM®	高度な RISC マシン (CPU アーキテクチャの一種)
ATM	自動サンプ モード
BW	帯域幅
CAN	コントローラー エリア ネットワーク (通信プロトコルの一種)
CMRR	同相除去比
CPU	中央演算処理装置
CRC	巡回冗長検査 (エラー チェック プロトコルの一種)
DAC	デジタル - アナログ コンバーター (IDAC、VDAC も参照)
DFB	デジタル フィルター ブロック
DIO	デジタル入出力、デジタル機能のみを持つ GPIO、アナログなし。GPIO を参照
DMIPS	ドライストーン 100 万命令毎秒
DMA	ダイレクト メモリ アクセス (TD も参照)
DNL	微分非直線性 (INL も参照)
DNU	未使用
DR	ポート書き込みデータ レジスタ
DSI	デジタル システム インターコネクト
DWT	データ ウオッチ ポイント とトレース
ECC	エラー 訂正 コード
ECO	外部水晶振動子
EEPROM	電気的 消去書き込み可能な読み出し専用メモリ
EMI	電磁干渉
EMIF	外部メモリ インターフェース
EOC	変換の終了
EOF	フレームの終了

表 43. 本書で使用する略語 ( 続き )

略語	説明
EPSR	実行プログラム ステータス レジスタ
ESD	静電気放電
ETM	エンベデッド トレース マクロセル
FIR	有限インパルス応答 (IIR も参照)
FPB	フラッシュ パッチ およびブレーク ポイント
FS	フルスピード
GPIO	汎用入出力 (PSoC ピンにも適用)
HVI	高電圧割り込み (LVI、LVD も参照)
IC	集積回路
IDAC	電流 DAC (DAC、VDAC も参照)
IDE	統合開発環境
I <sup>2</sup> C または IIC	統合回路間 (通信プロトコルの一種)
IIR	無限インパルス応答 (FIR も参照)
ILO	内部低速発振器 (IMO も参照)
IMO	内部メイン発振器 (ILO も参照)
INL	積分非直線性 (DNL も参照)
I/O	入出力 (GPIO、DIO、SIO、USBIO も参照)
IPOR	初期パワーオン リセット
IPSR	割り込みプログラム ステータス レジスタ
IRQ	割り込み要求
ITM	計装トレース マクロセル
LCD	液晶ディスプレイ
LIN	ローカル インターコネクト ネットワーク (通信プロトコルの一種)
LR	リンク レジスタ
LUT	ルックアップ テーブル
LVD	低電圧検出 (LVI も参照)
LVI	低電圧割り込み (HVI も参照)
LVTTL	低電圧トランジスタ - トランジスタ ロジック
MAC	乗算蓄積
MCU	マイクロコントローラー ユニット
MISO	マスター入力スレーブ出力
NC	未接続
NMI	マスク不可能な割り込み
NRZ	非ゼロ復帰
NVIC	ネスト型 ベクタ割り込み コントローラ
NVL	不揮発性 ラッチ (WOL も参照)
オペアンプ	演算増幅器
PAL	プログラマブル アレイ ロジック (PLD も参照)

表 43. 本書で使用する略語 ( 続き )

略語	説明
PC	プログラム カウンター
PCB	プリント基板
PGA	プログラマブル ゲイン アンプ
PHUB	ペリフェラル ハブ
PHY	物理レイヤ
PICU	ポート割り込み制御ユニット
PLA	プログラマブル ロジック アレイ
PLD	プログラマブル ロジック デバイス (PAL も参照)
PLL	位相同期回路
PMDD	パッケージ材質宣言データシート
POR	パワーオン リセット
PRES	高精度パワーオン リセット
PRS	疑似乱数列
PS	ポート読み出しデータ レジスタ
PSoC®	Programmable System-on-Chip™
PSRR	電源電圧変動除去比
PWM	パルス幅変調器
RAM	ランダム アクセス メモリ
RISC	縮小命令セット コンピューティング
RMS	二乗平均平方根
RTC	リアルタイム クロック
RTL	レジスタ転送言語
RTR	リモート送信要求
RX	受信
SAR	逐次比較レジスタ
SC/CT	スイッチト キャパシタ／連続時間
SCL	I <sup>2</sup> C シリアルクロック
SDA	I <sup>2</sup> C シリアルデータ
S/H	サンプル／ホールド
SINAD	信号対ノイズおよび歪み比
SIO	特殊入出力 (高度機能を備えた GPIO)。GPIO を参照
SOC	変換の開始
SOF	フレームの開始
SPI	シリアルペリフェラル インターフェース (通信プロトコルの一種)
SR	スルーレート
SRAM	スタティック ランダム アクセス メモリ
SRES	ソフトウェア リセット
SWD	シリアル ワイヤ デバッグ (テストプロトコルの一種)

表 43. 本書で使用する略語 ( 続き )

略語	説明
SWV	シングル ワイヤ ビューア
TD	トランザクションディスクリプタ (DMA も参照)
THD	全高調波歪み
TIA	トランジスタインピーダンス アンプ
TRM	テクニカル リファレンス マニュアル
TTL	トランジスタ - トランジスタ ロジック
TX	送信
UART	ユニバーサル 非同期 トランスマッタ レシーバ (通信プロトコルの一種)
UDB	ユニバーサル デジタル ブロック
USB	汎用シリアルバス
USBIO	USB 入出力 (USB ポートへの接続に使用される PSoC ピン)
VDAC	電圧 DAC (DAC, IDAC も参照)
WDT	ウォッチドッグ タイマー
WOL	書き込みワンス ラッチ (NVL も参照)
WRES	ウォッチドッグ タイマー リセット
XRES	外部リセット I/O ピン
XTAL	水晶

## 本書の表記法

## 測定単位

表 44. 測定単位

記号	測定単位
°C	摂氏温度
dB	デシベル
fF	フェムト ファラッド
Hz	ヘルツ
KB	1024 バイト
kbps	キロビット毎秒
Khr	キロ時間
kHz	キロヘルツ
kΩ	キロオーム
ksps	キロサンプル毎秒
LSB	最下位ビット
Mbps	メガビット毎秒
MHz	メガヘルツ
MΩ	メガオーム
Msps	メガサンプル毎秒
μA	マイクロアンペア
μF	マイクロファラッド
μH	マイクロヘンリー
μs	マイクロ秒
μV	マイクロボルト
μW	マイクロワット
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
nV	ナノボルト
Ω	オーム
pF	ピコファラッド
ppm	100 万分の 1
ps	ピコ秒
s	秒
sps	サンプル数毎秒
sqrtHz	ヘルツの平方根
V	ボルト

## 変更履歴

文書名 : PSoC® 4: PSoC 4100M ファミリ データシート プログラマブルシステムオンチップ (PSoC®) 文書番号 : 001-96606				
版	ECN 番号	変更者	発行日	変更内容
**	4674827	HZEN	3/3/2015	これは英語版 001-96519 Rev. ** を翻訳した日本語版 001-96606 Rev. ** です。

## セールス、ソリューションおよび法律情報

### ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションページ](#)をご覧ください。

#### 製品

車載用

クロック & バッファ

インターフェース

照明 & 電力制御

メモリ

PSoC

タッチ センシング

USB コントローラー

ワイヤレス / RF

[cypress.com/go/automotive](http://cypress.com/go/automotive)

[cypress.com/go/clocks](http://cypress.com/go/clocks)

[cypress.com/go/interface](http://cypress.com/go/interface)

[cypress.com/go/powerpsoc](http://cypress.com/go/powerpsoc)

[cypress.com/go/memory](http://cypress.com/go/memory)

[cypress.com/go/psoc](http://cypress.com/go/psoc)

[cypress.com/go/touch](http://cypress.com/go/touch)

[cypress.com/go/USB](http://cypress.com/go/USB)

[cypress.com/go/wireless](http://cypress.com/go/wireless)

#### PSoC® ソリューション

[psoc.cypress.com/solutions](http://psoc.cypress.com/solutions)

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

#### サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

#### テクニカル サポート

[cypress.com/go/support](http://cypress.com/go/support)

© Cypress Semiconductor Corporation, 2015. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することもありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や誤りによって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

すべてのソース コード (ソフトウェアおよび／またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国および他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび／またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更そして作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責条項：サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。