



**CY7C1444KV33**  
**CY7C1445KV33**

**36M ビット (1M × 36/2M × 18) 同期式  
パイプライン DCD SRAM**

## 機能

- 最大 250MHz でのバス動作に対応
- 速度グレード 250MHz に対応
- パイプライン動作用入出力が登録済み
- 性能に最適化 (ダブル サイクル選択解除)
- ウエイトステートなしの深度拡張
- 3.3V コア電源
- 2.5V/3.3V I/O 電源
- クロック～出力の時間が速い
  - 2.5ns (デバイス速度が 250MHz の場合)
- 高性能 3-1-1-1 アクセス速度を提供
- インターリーブまたはリニア バースト シーケンスに対応するユーザー選択可能バーストカウンター
- 独立したプロセッサとコントローラー アドレスストローブ
- セルフタイム同期書き込み
- 非同期出力イネーブル
- CY7C1444KV33、CY7C1445KV33 は JEDEC 準拠の鉛フリー 100 ピン TQFP パッケージで提供
- 「ZZ」スリープ モードオプション

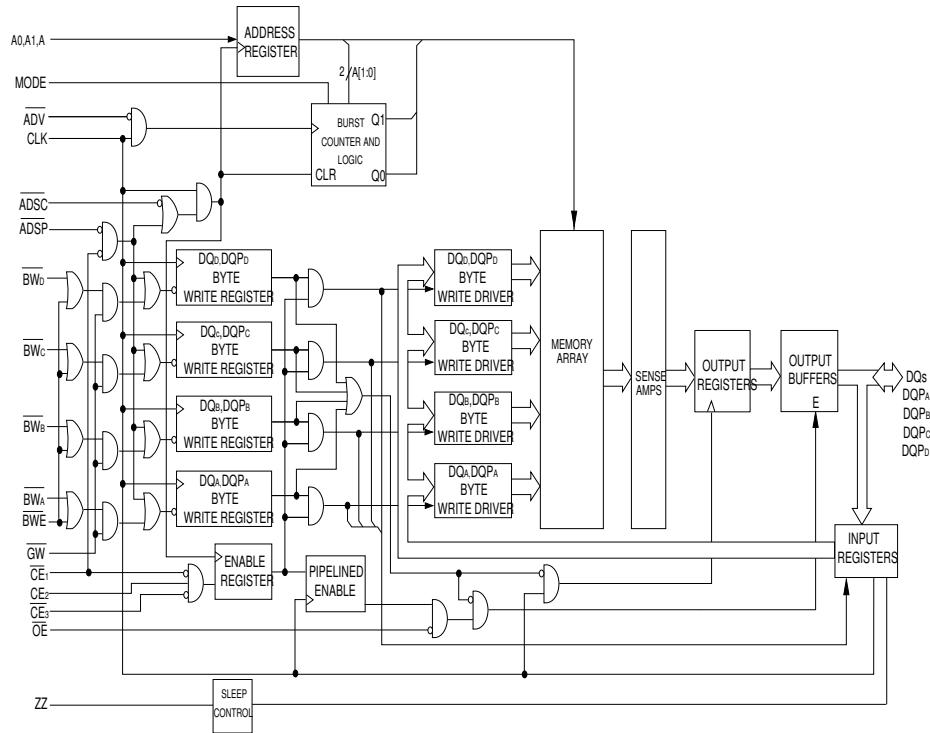
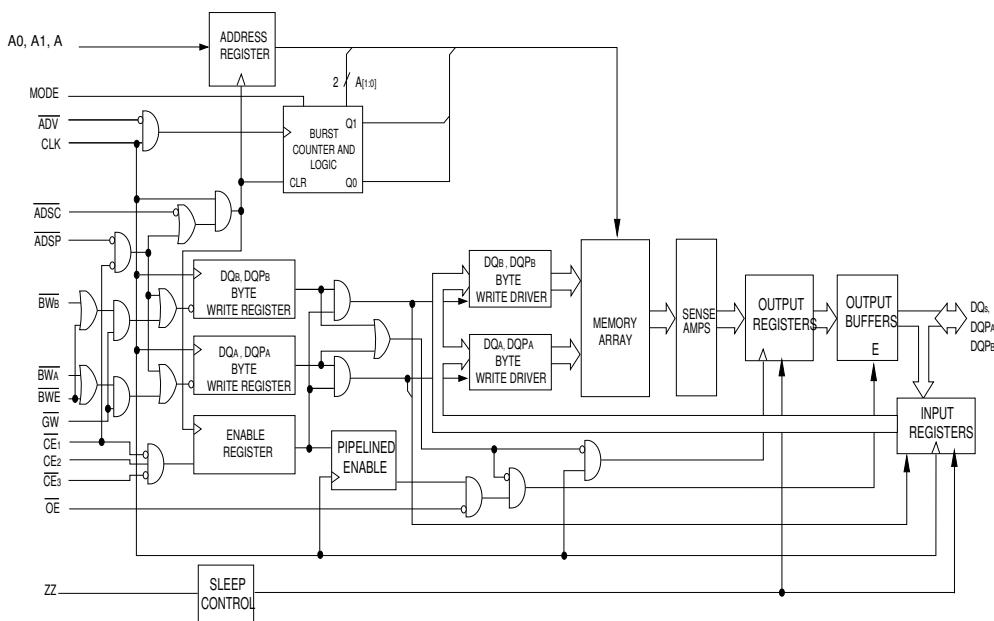
## 機能の詳細

CY7C1444KV33/CY7C1445KV33 SRAM は、内部バースト動作のために高度な同期ペリフェラル回路および 2 ビット カウンターを 1M × 36/2M × 18 SRAM セルに組み込んでいます。全ての同期入力は、ポジティブエッジでトリガされるクロック入力 (CLK) で制御したレジスタによりゲートします。同期入力は、全てのアドレス、全てのデータ入力、アドレス パイプラインチップ イネーブル ( $\overline{CE}_1$ )、深度拡張チップ イネーブル ( $CE_2$ 、 $CE_3$ )、バースト制御入力 ( $\overline{ADSC}$ 、 $\overline{ADSP}$ 、 $\overline{ADV}$ )、書き込みイネーブル ( $\overline{BW}_X$ 、 $\overline{BWE}$ )、およびグローバル書き込み ( $\overline{GW}$ ) を含みます。非同期入力は出力イネーブル ( $\overline{OE}$ ) 信号と ZZ ピンです。

アドレスストローブ プロセッサ ( $\overline{ADSP}$ ) またはアドレスストローブ コントローラー ( $\overline{ADSC}$ ) がアクティブの時、アドレスとチップ イネーブルはクロックの立ち上がりエッジで登録されます。後続バーストアドレスは、アドバンス ピン ( $\overline{ADV}$ ) の制御によって内部的に生成できます。

アドレス、データ入力、および書き込み制御は、セルフタイム書き込みサイクルを開始するために内部で登録されます。デバイスはバイト書き込み動作をサポートします ( 詳細については、ピン説明と真理値表を参照してください )。書き込みサイクルは、バイト書き込み制御入力の制御によって 1 ~ 4 バイト幅になります。 $\overline{GW}$  がアクティブ **LOW** になると全てのバイトが書き込まれます。デバイスは、選択解除が実行された時に出力バッファをオフにすることをもう 1 サイクル遅延させる追加のパイプライン イネーブル レジスタを内蔵していますこの機能はシステム性能へ影響を与えずに深度格納を可能にします。

CY7C1444KV33/CY7C1445KV33 SRAM は +3.3V のコア電源で動作しますが、全ての出力が +3.3V または +2.5V 電源で動作します。全ての入力と出力は JEDEC 標準規格 JESD8-5 に準拠しています。

**論理ブロック図－ CY7C1444KV33**

**論理ブロック図－ CY7C1445KV33**


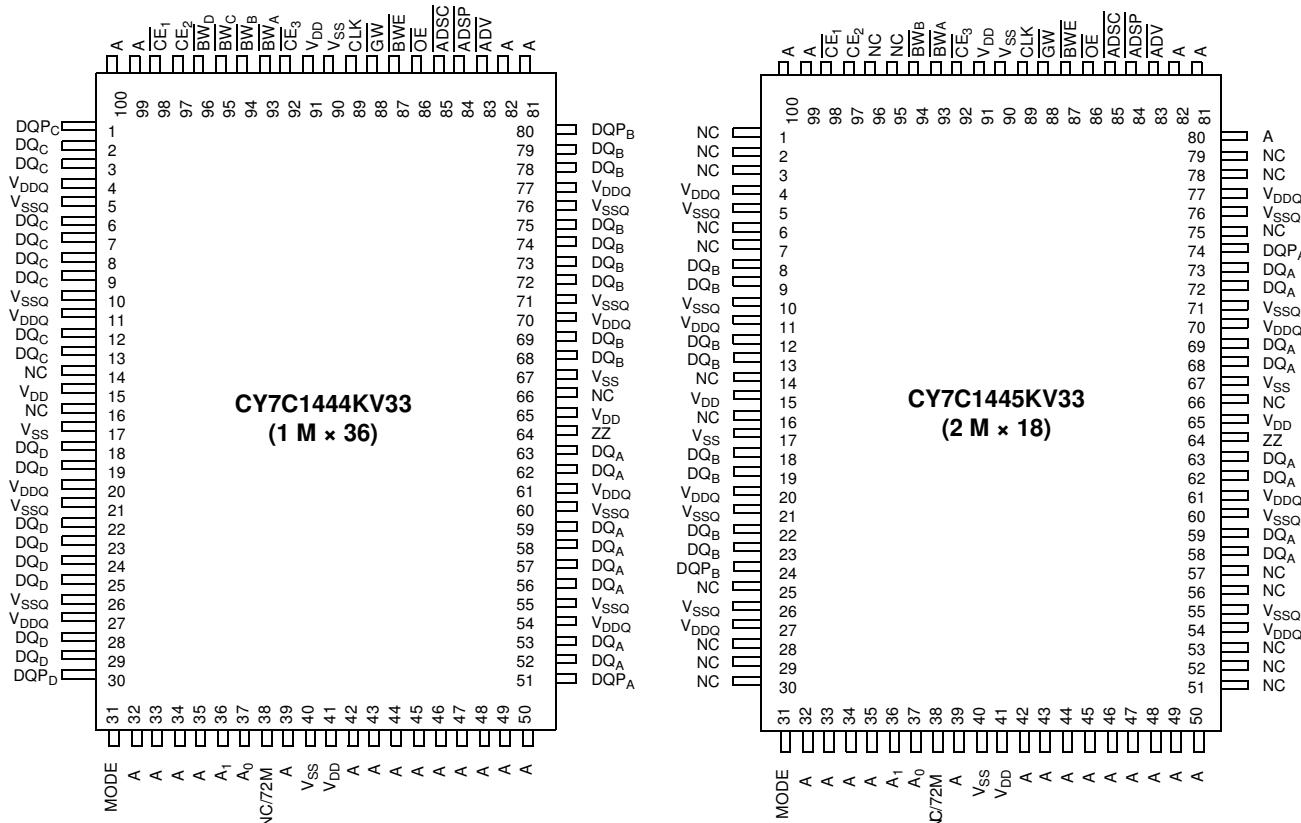
## 目次

<b>選択ガイド</b>	4
<b>ピン配置</b>	4
<b>ピン機能</b>	5
<b>機能概要</b>	6
シングル読み出しアクセス	6
ADSP で開始されるシングル書き込みアクセス	6
ADSC で開始されるシングル書き込みアクセス	6
バーストシーケンス	7
スリープモード	7
インターリーブバーストアドレス表	7
リニアバーストアドレス表	7
ZZ モード電気的特性	7
<b>真理値表</b>	8
書き込み/読み出しの部分真理値表	9
書き込み/読み出しの部分真理値表	9
<b>最大定格</b>	10
<b>動作範囲</b>	10
中性子ソフトエラー耐性	10
電気的特性	10

<b>静電容量</b>	12
<b>熱抵抗</b>	12
<b>AC テストの負荷および波形</b>	12
<b>スイッチング特性</b>	13
<b>スイッチング波形</b>	14
<b>注文情報</b>	18
注文コードの定義	18
<b>パッケージ図</b>	19
<b>略語</b>	20
<b>本書の表記法</b>	20
測定単位	20
<b>改訂履歴</b>	21
<b>セールス、ソリューションおよび法律情報</b>	22
ワールドワイドな販売と設計サポート	22
製品	22
PSoC®ソリューション	22
サイプレス開発者コミュニティ	22
テクニカルサポート	22

**選択ガイド**

説明	250MHz	単位
最大アクセス時間	2.5	ns
最大動作電流	x18 x36	220
		240

**ピン配置**
**図1. 100ピンTQFPパッケージのピン配置**


## ピン機能

ピン名	I/O	説明
A <sub>0</sub> 、A <sub>1</sub> 、A	入力 - 同期	アドレス位置の1つを選択するために使用されるアドレス入力。 <u>ADSP</u> または <u>ADSC</u> がアクティブ <u>LOW</u> であり、 <u>CE<sub>1</sub></u> 、 <u>CE<sub>2</sub></u> 、 <u>CE<sub>3</sub></u> がアクティブの時にサンプリングされた場合、 <u>CLK</u> の立ち上がりエッジでサンプリング。A <sub>1</sub> : A <sub>0</sub> は2ビットカウンターに供給
<u>BW<sub>A</sub></u> 、 <u>BW<sub>B</sub></u> 、 <u>BW<sub>C</sub></u> 、 <u>BW<sub>D</sub></u>	入力 - 同期	バイト書き込み選択入力、アクティブ <u>LOW</u> 。SRAMへのバイト書き込みを実行するために <u>BWE</u> で有効にする。 <u>CLK</u> の立ち上がりエッジでサンプリング
GW	入力 - 同期	グローバル書き込みイネーブル入力、アクティブ <u>LOW</u> 。 <u>CLK</u> の立ち上がりエッジで <u>LOW</u> にアサートされた時、グローバル書き込みが実行される ( <u>BW<sub>X</sub></u> と <u>BWE</u> 上の値にかかわらず、全てのバイトは書き込まれる)
<u>BWE</u>	入力 - 同期	バイト書き込みイネーブル入力、アクティブ <u>LOW</u> 。 <u>CLK</u> の立ち上がりエッジでサンプリング。バイト書き込みシーケンスを開始するためにこの信号を <u>LOW</u> にアサートすることが必要
CLK	入力 - クロック	クロック入力。デバイスへの全ての同期入力を取り込むために使用。バースト処理中に、 <u>ADV</u> が <u>LOW</u> にアサートされるとバーストカウンターをインクリメントするためにも使用
<u>CE<sub>1</sub></u>	入力 - 同期	チップイネーブル1入力、アクティブ <u>LOW</u> 。 <u>CLK</u> の立ち上がりエッジでサンプリング。デバイスを選択／選択解除するために <u>CE<sub>2</sub></u> と <u>CE<sub>3</sub></u> と併用。 <u>CE<sub>1</sub></u> が <u>HIGH</u> の場合、 <u>ADSP</u> は無視される。 <u>CE<sub>1</sub></u> は、新しい外部アドレスがロードされた時にのみサンプリング
<u>CE<sub>2</sub></u>	入力 - 同期	チップイネーブル2入力、アクティブ <u>HIGH</u> 。 <u>CLK</u> の立ち上がりエッジでサンプリング。デバイスを選択／選択解除するために <u>CE<sub>1</sub></u> と <u>CE<sub>3</sub></u> と併用。 <u>CE<sub>2</sub></u> は、新しい外部アドレスがロードされた時にのみサンプリング
<u>CE<sub>3</sub></u>	入力 - 同期	チップイネーブル3入力、アクティブ <u>LOW</u> 。 <u>CLK</u> の立ち上がりエッジでサンプリング。デバイスを選択／選択解除するために <u>CE<sub>1</sub></u> と <u>CE<sub>2</sub></u> と併用。 <u>CE<sub>3</sub></u> は、新しい外部アドレスがロードされた時にのみサンプリング
<u>OE</u>	入力 - 非同期	出力イネーブル、非同期入力、アクティブ <u>LOW</u> 。I/Oピンの方向を制御。 <u>LOW</u> の場合、I/Oピンは出力として機能。 <u>HIGH</u> にアサートされた時、DQピンはトライステートになり、入力データピンとして機能。デバイスが選択解除状態から復帰した時、 <u>OE</u> は読み出しサイクルの最初のクロック中にマスクされる
<u>ADV</u>	入力 - 同期	<u>CLK</u> の立ち上がりエッジでサンプリングされるアクティブ <u>LOW</u> アドバンス入力信号。アサートされた時、バーストサイクル中に自動的にアドレスをインクリメント
<u>ADSP</u>	入力 - 同期	<u>CLK</u> の立ち上がりエッジでサンプリングされるプロセッサからのアドレスストローブ、アクティブ <u>LOW</u> 。 <u>LOW</u> にアサートされる時、デバイスに供給されたアドレスはアドレスレジスタに取り込まれる。A <sub>1</sub> : A <sub>0</sub> もバーストカウンターにロードされる。 <u>ADSP</u> と <u>ADSC</u> の両方がアサートされた時、 <u>ADSP</u> のみは認識される。 <u>CE<sub>1</sub></u> が <u>HIGH</u> にアサートされた時、 <u>ADSP</u> は無視される
<u>ADSC</u>	入力 - 同期	<u>CLK</u> の立ち上がりエッジでサンプリングされるコントローラからのアドレスストローブ、アクティブ <u>LOW</u> 。 <u>LOW</u> にアサートされる時、デバイスに供給されたアドレスはアドレスレジスタに取り込まれる。A <sub>1</sub> : A <sub>0</sub> もバーストカウンターにロードされる。 <u>ADSP</u> と <u>ADSC</u> の両方がアサートされた時、 <u>ADSP</u> のみは認識される
ZZ	入力 - 非同期	ZZ「スリープ」入力、アクティブ <u>HIGH</u> 。 <u>HIGH</u> にアサートされた時、デバイスは非タイムクリティカルな「スリープ」状態に入り、データの完全性が維持される。通常動作のために、このピンを <u>LOW</u> にする、またはフローティング状態のままにすることが必要。 <u>ZZ</u> ピンは内部プルダウン抵抗に接続
DQs、DQPs	I/O-同期	双方向データI/Oライン。入力として機能している場合、 <u>CLK</u> の立ち上がりエッジでトリガーされる内蔵データレジスタに供給される。出力として機能している場合、読み出しサイクル中に供給されたアドレスで指定されるメモリ位置に含まれるデータを転送。このピンの方向は <u>OE</u> によって制御される。 <u>OE</u> が <u>LOW</u> にアサートされた時、このピンは出力として機能。 <u>HIGH</u> の場合、DQs と DQP <sub>X</sub> はトライステート状態に移行
V <sub>DD</sub>	電源供給	デバイスコアの電源入力
V <sub>SS</sub>	グラウンド	デバイスコアのグラウンド
V <sub>SSQ</sub>	I/Oグラウンド	I/O回路のグラウンド

## ピン機能(続き)

ピン名	I/O	説明
$V_{DDQ}$	I/O 電源	<b>I/O 回路の電源</b>
モード	入力 - スタティック	<b>バースト順序を選択。</b> GND に接続された場合、リニア バースト シーケンスが選択される。 $V_{DD}$ に接続される、またはフローティングのままにされた場合、インターリーブ バースト シーケンスを選択。これはストラップ ピンであり、デバイス動作中にスタティックのままにすることが必要。 <b>MODE</b> ピンは内部プルアップ抵抗に接続
NC	-	<b>未接続。</b> ダイに内部的に接続されていない
NC/72M、 NC/144M、 NC/288M、 NC/576M、 NC/1G	-	<b>未接続。</b> ダイに内部的に接続されていない。72M、144M、288M、576M および 1G はダイに内部で接続されていないアドレス拡張ピン

## 機能概要

全ての同期入力は、クロックの立ち上がりエッジで制御される入力レジスタを通過します。全てのデータ出力は、クロックの立ち上がりエッジで制御される出力レジスタを通過します。

**CY7C1444KV33/CY7C1445KV33** は、リニアまたはインターリーブ バースト シーケンスを使用するシステムでは二次キャッシュをサポートしています。インターリーブ バースト順序は Pentium プロセッサでサポートされています。バースト順序はユーザーにより選択可能であり、**MODE** 入力をサンプリングすることで判定されます。アクセスは、プロセッサアドレスストローブ (**ADSP**) またはコントローラアドレスストローブ (**ADSC**) で開始できます。バースト シーケンスを介したアドレスの増加は、**ADV** 入力で制御されます。2 ビットの内蔵ラップアラウンド バースト カウンターは、バースト シーケンスの最初のアドレスを取り込んで、以降のバーストアクセスでは自動的にアドレスをインクリメントします。

バイト書き込み処理は、バイト書き込みイネーブル (**BWE**) とバイト書き込み選択 (**BW<sub>x</sub>**) 入力で制御されます。グローバル書き込みイネーブル (**GW**) は全てのバイト書き込み入力をオーバーライドし、全 4 バイトにデータを書き込みます。全ての書き込みは、内蔵のセルフタイム同期書き込み回路で簡素化されます。

同期チップセレクト **CE<sub>1</sub>**、**CE<sub>2</sub>**、**CE<sub>3</sub>** と非同期出力イネーブル (**OE**) 信号は、容易なバンク選択および出力トライステート制御を提供します。**CE<sub>1</sub>** が HIGH の場合、**ADSP** は無視されます。

## シングル読み出しアクセス

クロックの立ち上がりで次の条件が満たされると、このアクセスが開始されます:(1) **ADSP** または **ADSC** が LOW にアサートされ、(2) チップ選択信号が全てアクティブにアサートされ、(3) 書き込み信号 (**GW**、**BWE**) が全て HIGH にデアサートされます。**CE<sub>1</sub>** が HIGH の場合、**ADSP** は無視されます。アドレス入力に供給されたアドレスは、メモリ コアに提供されながら、アドレス増加論理ブロックとアドレス レジスタに保存されます。対応するデータを出力レジスタの入力へ伝播することができます。次のクロックの立ち上がりエッジでは、**OE** がアクティブ LOW であれば、データは  $t_{CO}$  以内に出力レジスタを介してデータバスに伝播することができます。唯一の例外は、**SRAM** が選択解除状態から選択状態に復帰する時にのみ発生します。**SRAM** の出力は最初のアクセス サイクルの間常にトライステートになります。最初のアクセス サイクルの後、出力は **OE** 信号で制御されます。連続的シングル読み出しサイクルがサポートされています。

**CY7C1444KV33/CY7C1445KV33** はダブル サイクル選択解除のデバイスです。クロックの立ち上がりで **SRAM** がチップセレクト信号または **ADSP** か **ADSC** 信号で選択解除されると、出力は次のクロック立ち上がりの直後にトライステートになります。

## ADSP で開始されるシングル書き込みアクセス

クロックの立ち上がりで次の条件の両方とも満たされると、このアクセスは開始されます:(1) **ADSP** が LOW にアサートされ、(2) チップ選択信号がアクティブにアサートされます。供給されたアドレスはメモリ コアに提供されながら、アドレス レジスタとアドレス増加論理ブロックにロードされます。書き込み信号 (**GW**、**BWE**、**BW<sub>x</sub>**) および **ADV** 入力は初サイクル中に無視されます。

**ADSP** でトリガーされる書き込みアクセスは完成するのに 2 クロック サイクルを要します。**GW** が 2 番目のクロックの立ち上がりエッジで LOW にアサートされた場合、**DQ<sub>x</sub>** 入力に供給されたデータは、メモリ コア上の対応するアドレス位置に書き込まれます。**GW** が HIGH の場合、書き込み動作は **BWE** と **BW<sub>x</sub>** 信号で制御されます。**CY7C1444KV33/CY7C1445KV33** は、書き込みサイクルの説明表で説明されたバイト書き込み機能を備えています。選択したバイト書き込み入力を使ってバイト書き込みイネーブル入力 (**BWE**) をアサートすると、所望のバイトのみが選択的に書き込まれます。バイト書き込み動作中に選択されないバイトは、不变のままであります。書き込み動作を簡素化するためにセルフタイム同期書き込みメカニズムが提供されています。

**CY7C1444KV33/CY7C1445KV33** が共通 I/O デバイスであるため、データを **DQ** 入力に供給する前に、出力イネーブル (**OE**) を HIGH にデアサートする必要があります。この場合、出力ドライバーがトライステートになります。予防策として、**OE** の状態にかかわらず、書き込みサイクルが検出される度に **DQ** は自動的にトライステートになります。

## ADSC で開始されるシングル書き込みアクセス

次の条件が満たされると、**ADSC** 書き込みアクセスは開始されます:(1) **ADSC** が LOW にアサートされ、(2) **ADSP** が HIGH にデアサートされ、(3) チップ選択信号がアクティブにアサートされ、(4) 書き込み入力 (**GW**、**BWE**、**BW<sub>x</sub>**) の適切な組み合わせが、所望のバイトへの書き込みを実行するためにアクティブにアサートされます。**ADSC** でトリガーされる書き込みアクセスは完成するのに 1 クロック サイクルを要します。供給されたアドレスはメモリ コアに提供されながら、アドレス レジスタとアドレス増加論理ブロックにロードされます。**ADV** 入力はこの

サイクル中に無視されます。グローバル書き込みを行う場合、 $DQ_X$  に供給されたデータはメモリ コア上の対応するアドレス位置に書き込まれます。バイト書き込みを行う場合、選択されたバイトのみは書き込まれます。バイト書き込み動作中に選択されないバイトは、不変のままでです。書き込み動作を簡素化するためにセルフタイム同期書き込みメカニズムが提供されています。

CY7C1444KV33/CY7C1445KV33 が共通 I/O デバイスであるため、データを  $DQ_X$  入力に供給する前に、出力イネーブル ( $OE$ ) を HIGH にデアサートする必要があります。この場合、出力ドライバーがトライステートになります。予防策として、 $OE$  の状態にかかわらず、書き込みサイクルが検出される度に  $DQ_X$  は自動的にトライステートになります。

### バースト シーケンス

CY7C1444KV33/CY7C1445KV33 は、 $A_{[1:0]}$  によって供給される 2 ビットのラップアラウンド カウンターを内蔵しています。このカウンターはインターリープまたはリニア バースト シーケンスを実装します。インターリープ バースト シーケンスは、Intel Pentium アプリケーションに対応できるように専用設計されています。バースト シーケンスは MODE 入力によりユーザー選択可能で、読み出しと書き込みバースト動作の両方がサポートされています。

クロックの立ち上がりで  $ADV$  を LOW にアサートすると、バースト カウンターはバースト シーケンスでの次のアドレスに自動的にインクリメントされます。読み出しと書き込みバースト動作の両方がサポートされています。

### スリープ モード

$ZZ$  入力ピンは非同期入力です。 $ZZ$  をアサートすると、SRAM は省電力「スリープ」モードに入ります。このスリープ モードへの移行および復帰には 2 クロック サイクルかかります。このモードでは、データの統合性が保証されます。スリープ モード

に入った時に保留中のアクセスは有効として見なされず、動作完了も保証されません。デバイスはスリープ モードに入る前に、選択解除する必要があります。 $ZZ$  入力が LOW に戻った後、CEs、ADSP、および ADSC は  $t_{ZZREC}$  の時間非アクティブのままでする必要があります。

### インターリープ バースト アドレス表

(MODE = 開放または  $V_{DD}$ )

1番目のアドレス $A1: A0$	2番目のアドレス $A1: A0$	3番目のアドレス $A1: A0$	4番目のアドレス $A1: A0$
00	01	10	11
01	00	11	10
10	11	00	01
11	10	01	00

### リニア バースト アドレス表

(MODE = GND)

1番目のアドレス $A1: A0$	2番目のアドレス $A1: A0$	3番目のアドレス $A1: A0$	4番目のアドレス $A1: A0$
00	01	10	11
01	10	11	00
10	11	00	01
11	00	01	10

### ZZ モード電気的特性

パラメータ	説明	テスト条件	Min	Max	単位
$I_{DDZZ}$	スリープ モードスタンバイ電流	$ZZ \geq V_{DD} - 0.2V$	—	89	mA
$t_{ZZS}$	デバイス動作から ZZ までの時間	$ZZ \geq V_{DD} - 0.2V$	—	$2t_{CYC}$	ns
$t_{ZZREC}$	ZZ 復帰時間	$ZZ \leq 0.2V$	$2t_{CYC}$	—	ns
$t_{ZZI}$	ZZ アクティブからスリープ電流までの時間	このパラメータはサンプリング	—	$2t_{CYC}$	ns
$t_{RZZI}$	ZZ 非アクティブからスリープ電流終了までの時間	このパラメータはサンプリング	0	—	ns

## 真理値表

以下は CY7C1444KV33/CY7C1445KV33 の真理値表です。[1, 2, 3, 4, 5, 6]

動作	使用するアドレス	$\overline{CE}_1$	$\overline{CE}_2$	$\overline{CE}_3$	ZZ	$\overline{ADSP}$	$\overline{ADSC}$	$\overline{ADV}$	$\overline{WRITE}$	$\overline{OE}$	$\overline{CLK}$	DQ
選択解除サイクル、パワーダウン	無	H	X	X	L	X	L	X	X	X	L-H	トライステート
選択解除サイクル、パワーダウン	無	L	L	X	L	L	X	X	X	X	L-H	トライステート
選択解除サイクル、パワーダウン	無	L	X	H	L	L	X	X	X	X	L-H	トライステート
選択解除サイクル、パワーダウン	無	L	L	X	L	H	L	X	X	X	L-H	トライステート
選択解除サイクル、パワーダウン	無	L	X	H	L	H	L	X	X	X	L-H	トライステート
スリープモード、パワーダウン	無	X	X	X	H	X	X	X	X	X	X	トライステート
読み出しサイクル、バースト開始	外部	L	H	L	L	L	X	X	X	L	L-H	Q
読み出しサイクル、バースト開始	外部	L	H	L	L	L	X	X	X	H	L-H	トライステート
書き込みサイクル、バースト開始	外部	L	H	L	L	H	L	X	L	X	L-H	D
読み出しサイクル、バースト開始	外部	L	H	L	L	H	L	X	H	L	L-H	Q
読み出しサイクル、バースト開始	外部	L	H	L	L	H	L	X	H	H	L-H	トライステート
読み出しサイクル、バースト継続	次	X	X	X	L	H	H	L	H	L	L-H	Q
読み出しサイクル、バースト継続	次	X	X	X	L	H	H	L	H	H	L-H	トライステート
読み出しサイクル、バースト継続	次	H	X	X	L	X	H	L	H	L	L-H	Q
読み出しサイクル、バースト継続	次	H	X	X	L	X	H	L	H	H	L-H	トライステート
書き込みサイクル、バースト継続	次	X	X	X	L	H	H	L	L	X	L-H	D
書き込みサイクル、バースト継続	次	H	X	X	L	X	H	L	L	X	L-H	D
読み出しサイクル、バースト停止	現行	X	X	X	L	H	H	H	H	L	L-H	Q
読み出しサイクル、バースト停止	現行	X	X	X	L	H	H	H	H	H	L-H	トライステート
読み出しサイクル、バースト停止	現行	H	X	X	L	X	H	H	H	L	L-H	Q
読み出しサイクル、バースト停止	現行	H	X	X	L	X	H	H	H	H	L-H	トライステート
書き込みサイクル、バースト停止	現行	X	X	X	L	H	H	H	L	X	L-H	D
書き込みサイクル、バースト停止	現行	H	X	X	L	X	H	H	L	X	L-H	D

### 注

- $X = \text{「ドント ケア}」。H = \text{論理 HIGH}, L = \text{論理 LOW}。$
- 1つ以上のバイト書き込みイネーブル信号と  $\overline{BWE} = L$  または  $\overline{GW} = L$  の時、 $\overline{WRITE} = L$ 。全てのバイト書き込みイネーブル信号、 $\overline{BWE}$ 、 $\overline{GW} = H$  の時、 $\overline{WRITE} = H$ 。
- DQ ピンは現行のサイクルと  $\overline{OE}$  信号で制御されます。 $\overline{OE}$  は非同期で、クロックと同期してサンプリングされません。
- $\overline{CE}_1$ 、 $\overline{CE}_2$ 、および  $\overline{CE}_3$  は TQFP パッケージにのみ存在しています。
- $GW$ 、 $BWE$ 、または  $BW_X$  の状態にかかわらず、 $ADSP$  がアサートされると、SRAM は読み出しサイクルを開始します。書き込みは、 $\overline{ADSP}$  の後に、または  $\overline{ADSC}$  のアサートにより後続のクロックサイクルでのみ行われます。従って、出力がトライステートになるために、書き込みサイクル前に  $\overline{OE}$  を HIGH に駆動する必要があります。 $\overline{OE}$  は書き込みサイクルの後半からは「ドント ケア」です。
- $\overline{OE}$  は非同期で、クロック立ち上がりと同期してサンプリングされません。これは、書き込みサイクル中に内部でマスキングされます。読み出しサイクルでは、 $\overline{OE}$  が非アクティブ、またはデバイスが選択解除された場合、全てのデータビットはトライステートになります。 $\overline{OE}$  がアクティブ (LOW) の場合、全てのデータビットは出力として機能します。

## 書き込み／読み出しの部分真理値表

以下は CY7C1444KV33 の書き込み／読み出しの部分真理値表です。[7, 8]

機能 (CY7C1444KV33)	$\overline{GW}$	$\overline{BWE}$	$\overline{BW_D}$	$\overline{BW_C}$	$\overline{BW_B}$	$\overline{BW_A}$
読み出し	H	H	X	X	X	X
読み出し	H	L	H	H	H	H
バイト A 書き込み – (DQ <sub>A</sub> 、DQP <sub>A</sub> )	H	L	H	H	H	L
バイト B 書き込み – (DQ <sub>B</sub> 、DQP <sub>B</sub> )	H	L	H	H	L	H
バイト B、A 書き込み	H	L	H	H	L	L
バイト C 書き込み – (DQ <sub>C</sub> 、DQP <sub>C</sub> )	H	L	H	L	H	H
バイト C、A 書き込み	H	L	H	L	H	L
バイト C、B 書き込み	H	L	H	L	L	H
バイト C、B、A 書き込み	H	L	H	L	L	L
バイト D 書き込み – (DQ <sub>D</sub> 、DQP <sub>D</sub> )	H	L	L	H	H	H
バイト D、A 書き込み	H	L	L	H	H	L
バイト D、B 書き込み	H	L	L	H	L	H
バイト D、B、A 書き込み	H	L	L	H	L	L
バイト D、C 書き込み	H	L	L	L	H	H
バイト D、C、A 書き込み	H	L	L	L	H	L
バイト D、C、B 書き込み	H	L	L	L	L	H
全バイト書き込み	H	L	L	L	L	L
全バイト書き込み	L	X	X	X	X	X

## 書き込み／読み出しの部分真理値表

以下は CY7C1445KV33 の書き込み／読み出しの部分真理値表です。[7, 8]

機能 (CY7C1445KV33)	$\overline{GW}$	$\overline{BWE}$	$\overline{BW_B}$	$\overline{BW_A}$
読み出し	H	H	X	X
読み出し	H	L	H	H
バイト A 書き込み – (DQ <sub>A</sub> 、DQP <sub>A</sub> )	H	L	H	L
バイト B 書き込み – (DQ <sub>B</sub> 、DQP <sub>B</sub> )	H	L	L	H
全バイト書き込み	H	L	L	L
全バイト書き込み	L	X	X	X

### 注

7. DQ ピンは現行のサイクルと  $\overline{OE}$  信号で制御されます。 $\overline{OE}$  は非同期で、クロックと同期してサンプリングされません。
8. この表では、バイト書き込み組み合わせの一部を一覧表示します。どの  $BW_X$  の組み合わせも可能です。書き込みは、アクティブになるバイト書き込み信号に応じて適切に行われます。

## 最大定格

最大定格を超えるとデバイスの寿命が短くなる可能性があります。ユーザー ガイドラインはテストされていません。

保存温度 .....  $-65^{\circ}\text{C} \sim +150^{\circ}\text{C}$   
 通電時の周囲温度 .....  $-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$   
 GND を基準とした  $V_{\text{DD}}$  上の電源電圧 .....  $-0.5\text{V} \sim +4.6\text{V}$   
 GND を基準とした  $V_{\text{DDQ}}$  上の電源電圧 .....  $-0.5\text{V} \sim +V_{\text{DD}}$   
 トライステート状態の出力に  
 与える DC 電圧 .....  $-0.5\text{V} \sim V_{\text{DDQ}} + 0.5\text{V}$   
 DC 入力電圧 .....  $-0.5\text{V} \sim V_{\text{DD}} + 0.5\text{V}$   
 出力 (LOW) への電流 ..... 20mA  
 静電放電時の電圧  
 (MIL-STD-883、メソッド 3015) ..... >2001V  
 ラッチアップ電流 ..... >200mA

## 動作範囲

レンジ	周囲温度	$V_{\text{DD}}$	$V_{\text{DDQ}}$
商業用	$0^{\circ}\text{C} \sim +70^{\circ}\text{C}$	$3.3\text{V} - 5\% / + 10\%$	$2.5\text{V} - 5\% \sim V_{\text{DD}}$

## 中性子ソフトエラー耐性

パラメータ	説明	テスト条件	Typ	Max*	単位
LSBU	論理シングルビット アップセット	$25^{\circ}\text{C}$	197	216	FIT/ Mb
LMBU	論理マルチビット アップセット	$25^{\circ}\text{C}$	0	0.01	FIT/ Mb
SEL	シングルイベント ラッチアップ	$85^{\circ}\text{C}$	0	0.1	FIT/ Dev

\* テスト中に LMBU または SEL イベントは発生しない；本項は  $\chi^2$  分布の 95% 信頼上限を示す。詳細については、アプリケーション ノート [AN54908「Accelerated Neutron SER Testing and Calculation of Terrestrial Failure Rates」](#) を参照

## 電気的特性

動作範囲において

パラメータ <sup>[9, 10]</sup>	説明	テスト条件	Min	Max	単位
$V_{\text{DD}}$	電源電圧		3.135	3.6	V
$V_{\text{DDQ}}$	I/O 電源電圧	3.3V I/O の場合	3.135	$V_{\text{DD}}$	V
		2.5V I/O の場合	2.375	2.625	V
$V_{\text{OH}}$	出力 HIGH 電圧	3.3V I/O, $I_{\text{OH}} = -4.0\text{mA}$ の場合	2.4	–	V
		2.5V I/O, $I_{\text{OH}} = -1.0\text{mA}$ の場合	2.0	–	V
$V_{\text{OL}}$	出力 LOW 電圧	3.3V I/O, $I_{\text{OL}} = 8.0\text{mA}$ の場合	–	0.4	V
		2.5V I/O, $I_{\text{OL}} = 1.0\text{mA}$ の場合	–	0.4	V
$V_{\text{IH}}$	入力 HIGH 電圧 <sup>[9]</sup>	3.3V I/O の場合	2.0	$V_{\text{DD}} + 0.3\text{V}$	V
		2.5V I/O の場合	1.7	$V_{\text{DD}} + 0.3\text{V}$	V
$V_{\text{IL}}$	入力 LOW 電圧 <sup>[9]</sup>	3.3V I/O の場合	–0.3	0.8	V
		2.5V I/O の場合	–0.3	0.7	V
$I_x$	入力リード電流 (ZZ と MODE を除く)	$\text{GND} \leq V_{\text{I}} \leq V_{\text{DDQ}}$	–5	5	$\mu\text{A}$
	MODE の入力電流	入力 = $V_{\text{SS}}$	–30	–	$\mu\text{A}$
		入力 = $V_{\text{DD}}$	–	5	$\mu\text{A}$
	ZZ の入力電流	入力 = $V_{\text{SS}}$	–5	–	$\mu\text{A}$
		入力 = $V_{\text{DD}}$	–	30	$\mu\text{A}$
$I_{\text{oz}}$	出力リード電流	$\text{GND} \leq V_{\text{I}} \leq V_{\text{DDQ}}$ 、出力が無効	–5	5	$\mu\text{A}$

### 注

9. オーバーシュート :  $V_{\text{IH}}(\text{AC}) < V_{\text{DD}} + 1.5\text{V}$  (パルス幅は  $t_{\text{Cyc}}/2$  未満)、アンダーシュート :  $V_{\text{IL}}(\text{AC}) > -2\text{V}$  (パルス幅は  $t_{\text{Cyc}}/2$  未満)  
 10.  $T_{\text{Power-up}}$  : 200ms 以内に  $0\text{V} \sim V_{\text{DD}}(\text{min})$  のリニア ランプを前提としています。この間では、 $V_{\text{IH}} < V_{\text{DD}}$ 、 $V_{\text{DDQ}} \leq V_{\text{DD}}$ 。

## 電気的特性(続き)

動作範囲において

パラメータ <sup>[9, 10]</sup>	説明	テスト条件			Min	Max	単位
I <sub>DD</sub>	V <sub>DD</sub> 動作時供給電流	V <sub>DD</sub> = Max、 I <sub>OUT</sub> = 0mA、 f = f <sub>MAX</sub> = 1/t <sub>CYC</sub>	4ns のサイクル、 250MHz	×18	—	220	mA
				×36	—	240	
I <sub>SB1</sub>	自動 CE パワーダウン電流 – TTL 入力	V <sub>DD</sub> = Max、 デバイス選択解除、 V <sub>IN</sub> ≥ V <sub>IH</sub> または V <sub>IN</sub> ≤ V <sub>IL</sub> 、 f = f <sub>MAX</sub> = 1/t <sub>CYC</sub>	4ns のサイクル、 250MHz	×18	—	85	mA
				×36	—	90	
I <sub>SB2</sub>	自動 CE パワーダウン電流 – CMOS 入力	V <sub>DD</sub> = Max、 デバイス選択解除、 V <sub>IN</sub> ≤ 0.3V または V <sub>IN</sub> ≥ V <sub>DDQ</sub> – 0.3V、 f = 0	4ns のサイクル、 250MHz	×18	—	75	mA
				×36	—	80	
I <sub>SB3</sub>	自動 CE パワーダウン電流 – CMOS 入力	V <sub>DD</sub> = Max、 デバイス選択解除、 V <sub>IN</sub> ≤ 0.3V または V <sub>IN</sub> ≥ V <sub>DDQ</sub> – 0.3V、 f = f <sub>MAX</sub> = 1/t <sub>CYC</sub>	4ns のサイクル、 250MHz	×18	—	85	mA
				×36	—	90	
I <sub>SB4</sub>	自動 CE パワーダウン電流 – TTL 入力	V <sub>DD</sub> = Max、 デバイス選択解除、 V <sub>IN</sub> ≥ V <sub>IH</sub> または V <sub>IN</sub> ≤ V <sub>IL</sub> 、f = 0	4ns のサイクル、 250MHz	×18	—	75	mA
				×36	—	80	

## 静電容量

パラメータ <sup>[11]</sup>	説明	テスト条件	100 ピン TQFP Max	単位
$C_{IN}$	入力静電容量	$T_A = 25^\circ\text{C}$ 、 $f = 1\text{MHz}$ 、 $V_{DD} = 3.3\text{V}$ 、 $V_{DDQ} = 2.5\text{V}$	5	pF
$C_{CLK}$	クロック入力静電容量		5	pF
$C_{I/O}$	入力／出力静電容量		5	pF

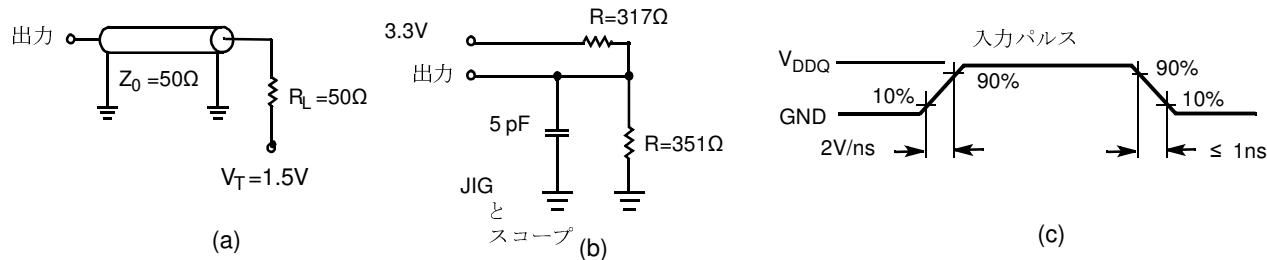
## 熱抵抗

パラメータ <sup>[11]</sup>	説明	テスト条件	100 ピン TQFP パッケージ	単位
$Q_{JA}$	熱抵抗 (接合部から周囲)	テスト条件は、EIA/JESD51による、熱インピーダンスを測定するための標準的なテスト方法と手順に従う	35.36	°C /W
$Q_{JC}$	熱抵抗 (接合部からケース)		31.30	
$Q_{JB}$	熱抵抗 (ジャンクションボードへ)		28.86	
			7.52	
			28.89	

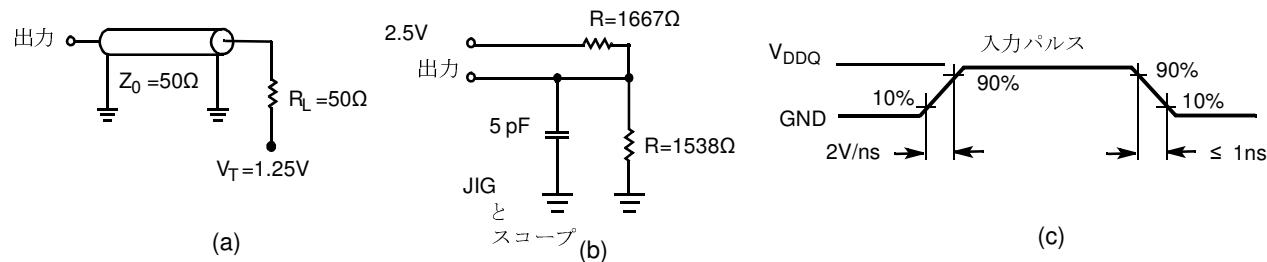
## AC テストの負荷および波形

図 2. AC テストの負荷および波形

3.3V I/O テスト負荷



2.5V I/O テスト負荷



## スイッチング特性

動作範囲において

パラメータ [12, 13]	説明	-250		単位
		Min	Max	
$t_{POWER}$	$V_{DD}$ (Typ) から最初のアクセスまでの時間 [14]	1	–	ms
<b>クロック</b>				
$t_{CYC}$	クロック サイクル期間	4.0	–	ns
$t_{CH}$	クロック HIGH 時間	1.5	–	ns
$t_{CL}$	クロック LOW 時間	1.5	–	ns
<b>出力時間</b>				
$t_{CO}$	CLK 立ち上がり後のデータ出力有効時間	–	2.5	ns
$t_{DOH}$	CLK 立ち上がり後のデータ出力ホールド時間	1.0	–	ns
$t_{CLZ}$	クロックから Low Z までの時間 [15, 16, 17]	1.0	–	ns
$t_{CHZ}$	クロックから High Z までの時間 [15, 16, 17]	–	2.6	ns
$t_{OEV}$	$\overline{OE}$ Low から出力有効までの時間	–	2.6	ns
$t_{OELZ}$	$\overline{OE}$ Low から出力 Low Z までの時間 [15, 16, 17]	0	–	ns
$t_{OEHZ}$	$\overline{OE}$ High から出力 High Z までの時間 [15, 16, 17]	–	2.6	ns
<b>セットアップ時間</b>				
$t_{AS}$	CLK 立ち上がり前のアドレスセットアップ時間	1.2	–	ns
$t_{ADS}$	CLK 立ち上がり前の $\overline{ADSC}$ 、 $\overline{ADSP}$ セットアップ時間	1.2	–	ns
$t_{ADVS}$	CLK 立ち上がり前の $\overline{ADV}$ セットアップ時間	1.2	–	ns
$t_{WES}$	CLK 立ち上がり前の $\overline{GW}$ 、 $\overline{BWE}$ 、 $\overline{BW}_X$ セットアップ時間	1.2	–	ns
$t_{DS}$	CLK 立ち上がり前のデータ入力セットアップ時間	1.2	–	ns
$t_{CES}$	CLK 立ち上がり前のチップイネーブル セットアップ時間	1.2	–	ns
<b>ホールド時間</b>				
$t_{AH}$	CLK 立ち上がり後のアドレスホールド時間	0.3	–	ns
$t_{ADH}$	CLK 立ち上がり後の $\overline{ADSP}$ 、 $\overline{ADSC}$ ホールド時間	0.3	–	ns
$t_{ADVH}$	CLK 立ち上がり後の $\overline{ADV}$ ホールド時間	0.3	–	ns
$t_{WEH}$	CLK 立ち上がり後の $\overline{GW}$ 、 $\overline{BWE}$ 、 $\overline{BW}_X$ ホールド時間	0.3	–	ns
$t_{DH}$	CLK 立ち上がり後のデータ入力ホールド時間	0.3	–	ns
$t_{CEH}$	CLK 立ち上がり後のチップイネーブル ホールド時間	0.3	–	ns

### 注

11. 開発時とこれらのパラメータに影響を与えることがある設計／プロセス変更があった後テストされます。

### 注

12. タイミングのリファレンス電圧レベルは、 $V_{DDQ} = 3.3V$  の場合は 1.5V であり、 $V_{DDQ} = 2.5V$  の場合は 1.25V です。  
 13. 特に明記しない限り、テスト条件は、AC テスト負荷の (a) に示します。

14. このデバイスは電圧レギュレータを内蔵しています； $t_{POWER}$  は、読み出しましたか書き込み処理が開始される前に、 $V_{DD(minimum)}$  を超えた電源を供給する必要がある時間です。

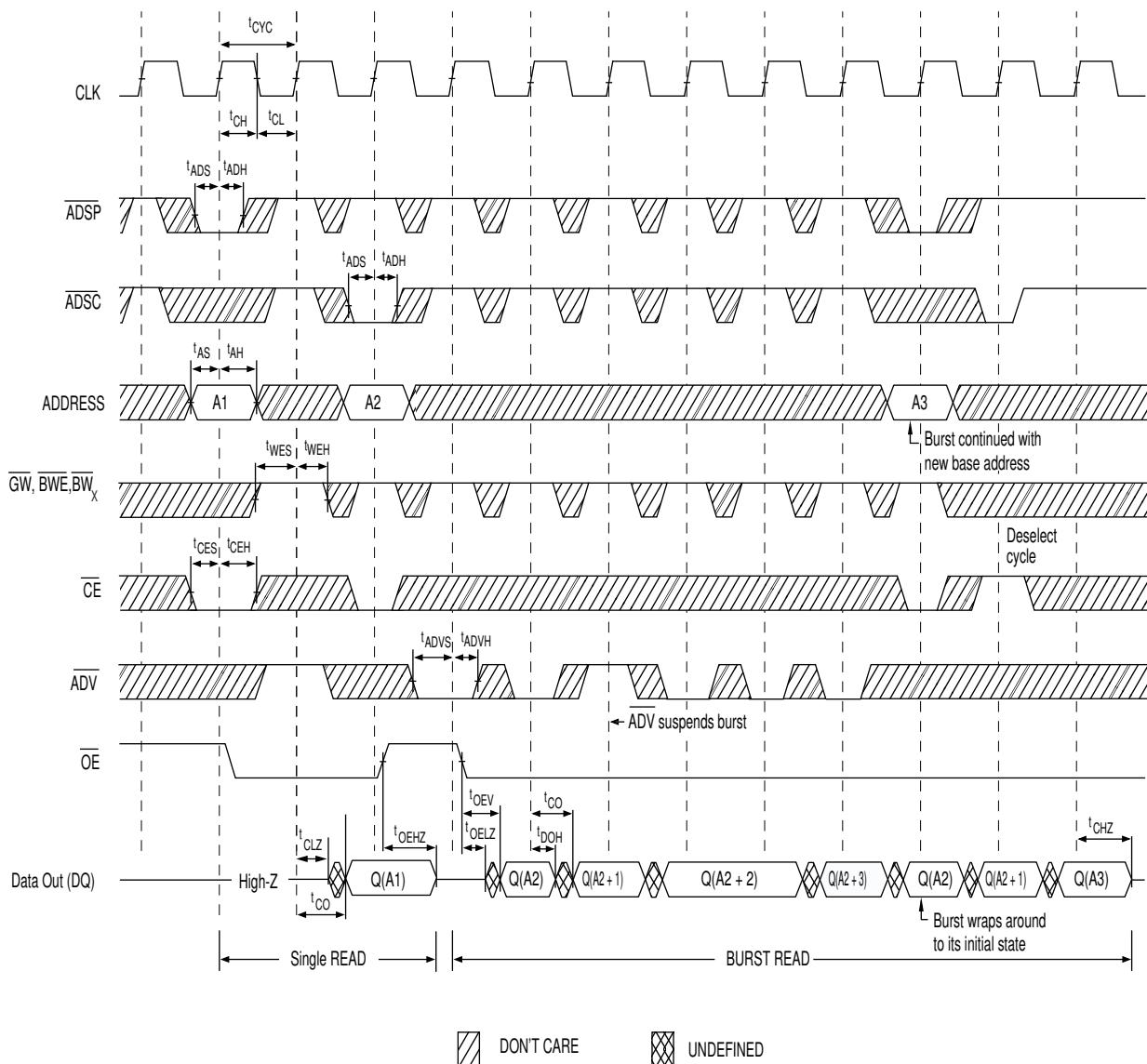
15.  $t_{CHZ}$ 、 $t_{CLZ}$ 、 $t_{OELZ}$ 、 $t_{OEHZ}$  は、12 ページの図 2 の (b) に示した AC テスト条件で指定されます。変化は定常状態での電圧  $\pm 200mV$  の電圧レベルで測定されます。

16. 特定の電圧と温度において、同じデータバスを共用する時、SRAM 間のバス競合を回避するために、 $t_{OEHZ}$  は  $t_{OELZ}$  より少なく、 $t_{CHZ}$  は  $t_{CLZ}$  より少ないです。  
 これらの仕様はバス競合条件を示しませんが、最悪の場合のユーザー条件において保証されるパラメータを示します。デバイスは、同じシステム条件の下で Low Z の前に High Z になるために設計されています。

17. このパラメータはサンプリングされ、すべてのデバイスで試験されるわけではありません。

## スイッチング波形

図3. 読み出しサイクルタイミング<sup>[18]</sup>

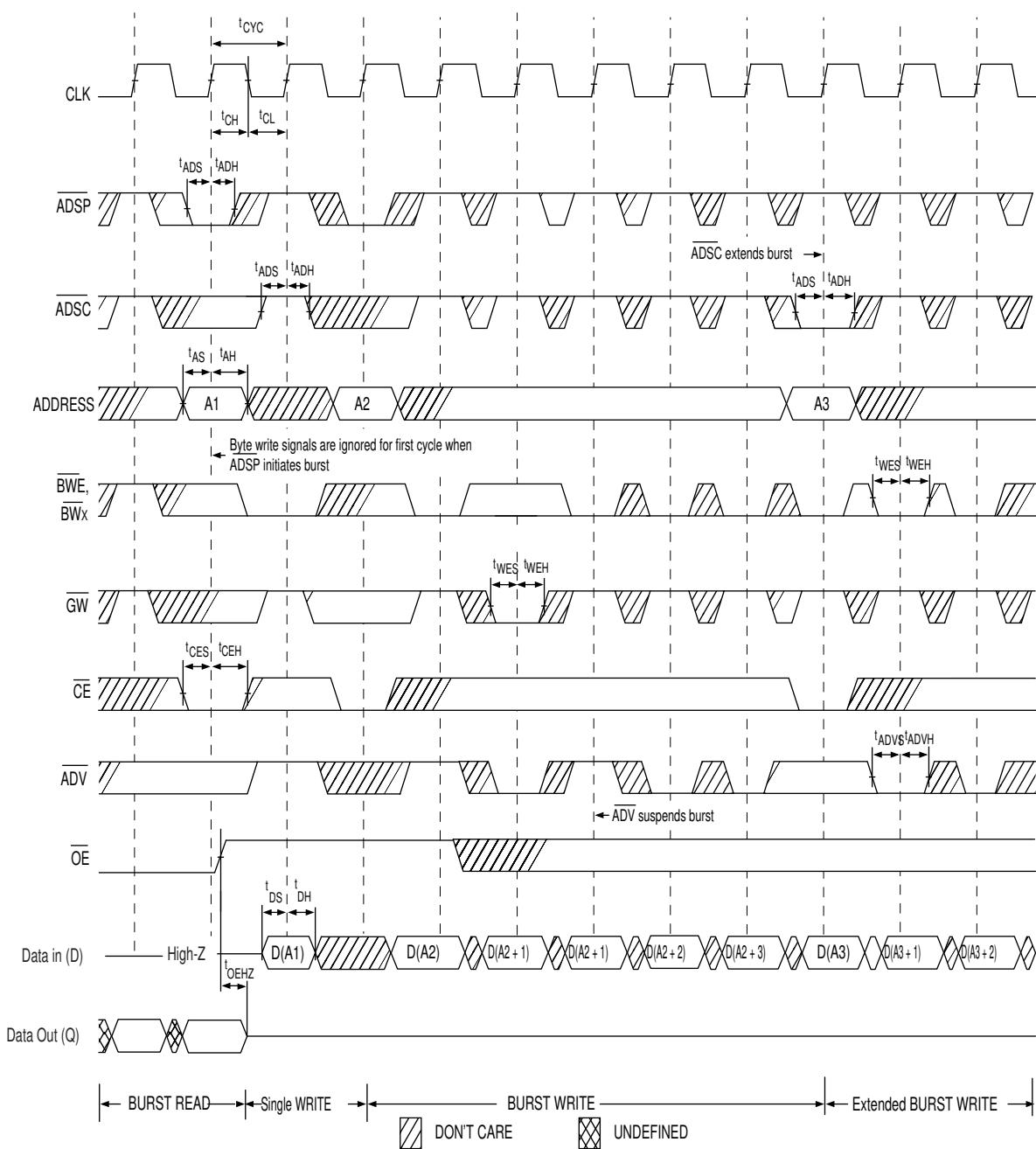


注

18. このブロック図では、 $\overline{CE}$  が LOW の場合、 $\overline{CE}_1$  は LOW、 $CE_2$  は HIGH、 $\overline{CE}_3$  は LOW です。 $\overline{CE}$  が HIGH の場合、 $\overline{CE}_1$  は HIGH、または  $CE_2$  は LOW、または  $\overline{CE}_3$  は HIGH です。

## スイッチング波形 ( 続き )

図 4. 書き込みサイクルタイミング [19, 20]

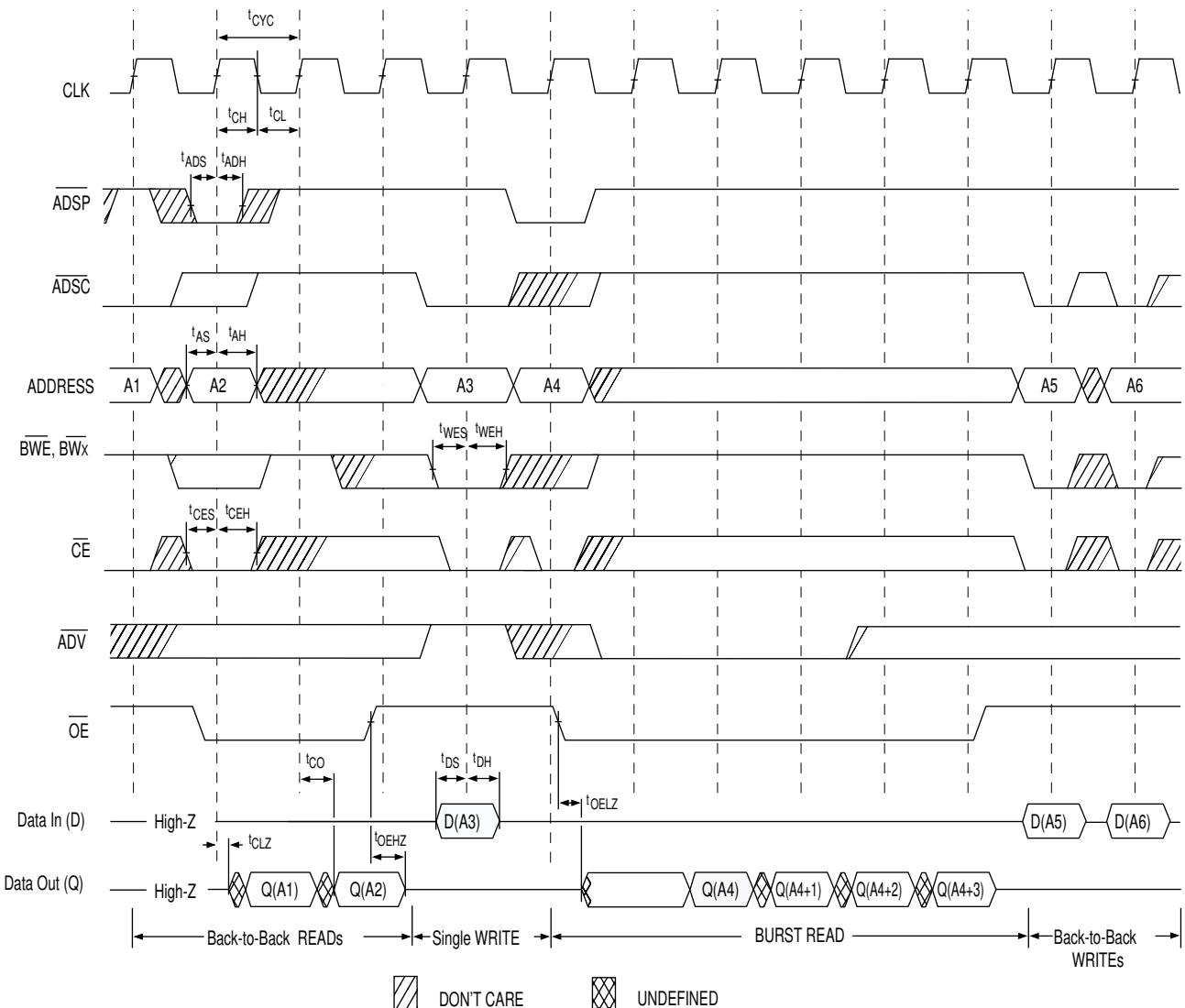


### 注

19. このブロック図では、 $\overline{CE}$  が LOW の場合、 $\overline{CE}_1$  は LOW、 $CE_2$  は HIGH、 $\overline{CE}_3$  は LOW です。 $\overline{CE}$  が HIGH の場合、 $\overline{CE}_1$  は HIGH、または  $CE_2$  は LOW、または  $\overline{CE}_3$  は HIGH です。
20. フル幅の書き込みは、 $\overline{GW}$  が LOW になると開始できます。

## スイッチング波形(続き)

図5. 読み出し/書き込みサイクルタイミング [21、22、23]

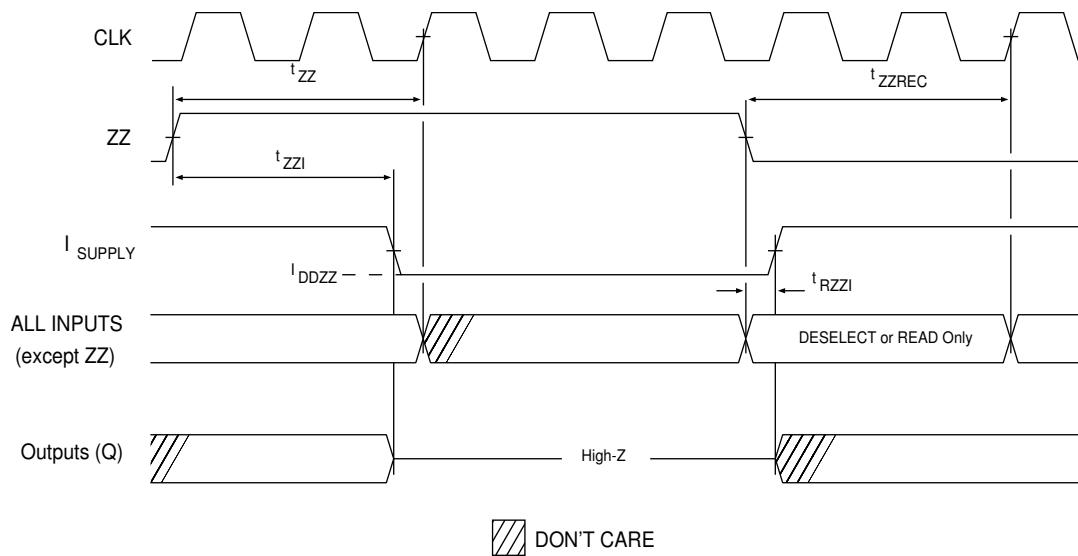


注

21. このブロック図では、 $\overline{CE}$  が LOW の場合、 $\overline{CE}_1$  は LOW、 $CE_2$  は HIGH、 $\overline{CE}_3$  は LOW です。 $\overline{CE}$  が HIGH の場合、 $\overline{CE}_1$  は HIGH、または  $CE_2$  は LOW、または  $CE_3$  は HIGH です。
22. 新しい読み出しアクセスが ADSP または ADSC により開始されない限り、データバス (Q) は書き込みサイクルの後 HIGH Z になったままです。
23. GW は HIGH です。

## スイッチング波形(続き)

図6. ZZモードタイミング<sup>[24, 25]</sup>



### 注

24. ZZモードに入る時、デバイスを選択解除する必要があります。デバイスを選択解除するための全ての可能な信号条件については、サイクル説明表を参照してください。

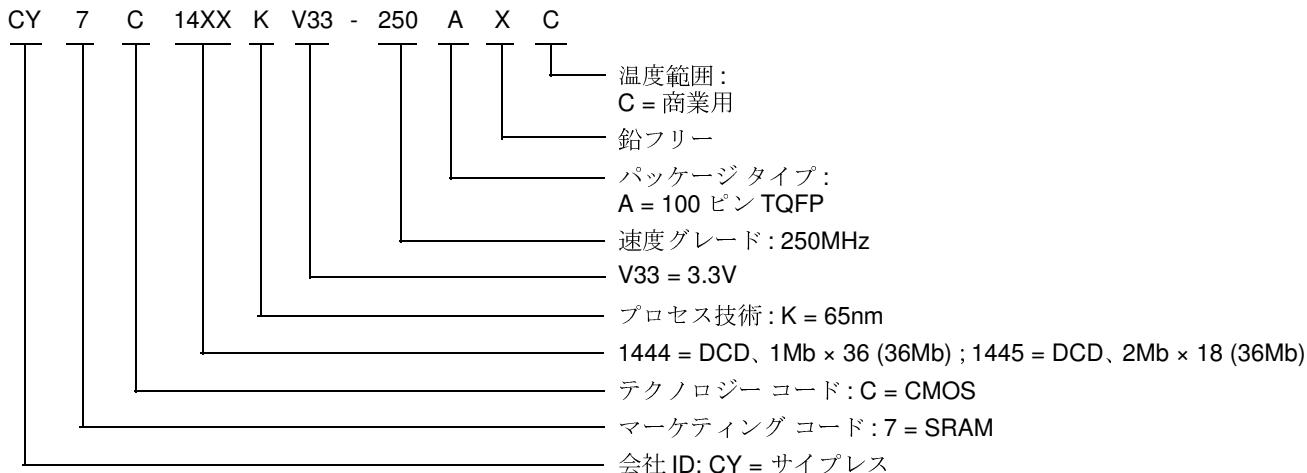
25. ZZスリープモードを終了する時、DQ信号はHigh Z状態になります。

## 注文情報

サイプレスは、様々なコンフィギュレーションおよび機能を持っている本製品の他のバージョンを提供しています。下表には、現在在庫としてある部品のみを示します。全てのオプションの完全な一覧については、サイプレス ウェブサイト [www.cypress.com](http://www.cypress.com) にアクセスし、製品概要のページ <http://www.cypress.com/products> を参照する、または最寄りの販売代理店までお問い合わせください。サイプレスは、世界中に事業所やソリューションセンター、販売代理店を持っています。お客様の最寄りのオフィスについては、<http://www.cypress.com/go/datasheet/offices> をご覧ください。

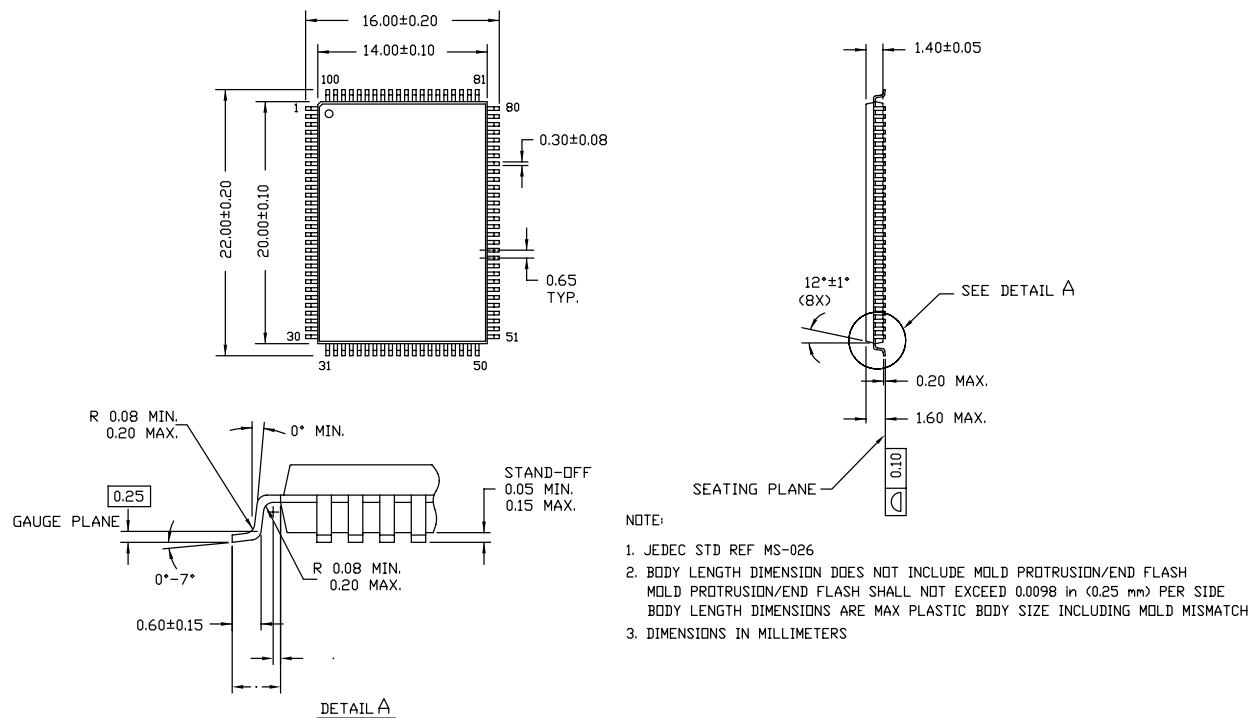
速度 (MHz)	注文コード	パッケージ図	製品とパッケージタイプ	動作範囲
250	CY7C1444KV33-250AXC	51-85050	100 ピン TQFP (14 × 20 × 1.4mm) 鉛フリー	商業用
	CY7C1445KV33-250AXC			

## 注文コードの定義



## パッケージ図

図7. 100 ピン TQFP (14 × 20 × 1.4mm) A100RA パッケージの外形図、51-85050



51-85050 \*E

**略語**

略語	説明
CE	Chip Enable ( チップイネーブル )
I/O	Input/Output ( 入力 / 出力 )
NoBL	No Bus Latency ( バス レイテンシーなし )
OE	Output Enable ( 出力イネーブル )
SRAM	Static Random Access Memory ( スタティック ランダム アクセス メモリ )
TQFP	Thin Quad Flat Pack ( 薄型クアッド フラット パッケージ )
WE	Write Enable ( 書き込みイネーブル )

**本書の表記法**
**測定単位**

記号	測定単位
°C	摂氏温度
MHz	メガヘルツ
µA	マイクロアンペア
mA	ミリアンペア
ms	ミリ秒
ns	ナノ秒
pF	ピコファラッド
V	ボルト
W	ワット

## 改訂履歴

文書名 : CY7C1444KV33/CY7C1445KV33、36M ピット (1M × 36/2M × 18) 同期式パイプライン DCD SRAM  
文書番号 : 001-96064

版	ECN 番号	発行日	変更者	変更内容
**	4649264	02/03/2015	HZEN	これは英語版 001-66678 Rev. *D を翻訳した日本語版 001-96064 Rev. ** です。
*A	4718923	04/09/2015	PRIT	決勝への変換

## セールス、ソリューションおよび法律情報

### ワールドワイドな販売と設計サポート

サイプレスは、世界中に事業所やソリューションセンター、販売代理店を持っています。お客様の最寄りのオフィスについては、[サイプレスのロケーションページ](#)をご覧ください。

#### 製品

車載用

[cypress.com/go/automotive](http://cypress.com/go/automotive)

クロック & バッファ

[cypress.com/go/clocks](http://cypress.com/go/clocks)

インターフェース

[cypress.com/go/interface](http://cypress.com/go/interface)

照明&電力制御

[cypress.com/go/powerpsoc](http://cypress.com/go/powerpsoc)

メモリ

[cypress.com/go/plc](http://cypress.com/go/plc)

PSoC

[cypress.com/go/memory](http://cypress.com/go/memory)

タッチ センシング

[cypress.com/go/psoc](http://cypress.com/go/psoc)

USB コントローラー

[cypress.com/go/touch](http://cypress.com/go/touch)

ワイヤレス／RF

[cypress.com/go/USB](http://cypress.com/go/USB)

[cypress.com/go/wireless](http://cypress.com/go/wireless)

#### PSoC® ソリューション

[psoc.cypress.com/solutions](http://psoc.cypress.com/solutions)

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

#### サイプレス開発者コミュニティ

コミュニティ | フォーラム | ブログ | ビデオ | トレーニング

#### テクニカル サポート

[cypress.com/go/support](http://cypress.com/go/support)

© Cypress Semiconductor Corporation, 2011-2015. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または合意することもありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

すべてのソース コード ( ソフトウェアおよび／またはファームウェア ) はサイプレス セミコンダクタ社 ( 以下「サイプレス」 ) が所有し、全世界の特許権保護 ( 米国およびその他の国 ) 、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンサーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンサーの製品のみをサポートするカスタムソフトウェアおよび／またはカスタムファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更そして作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責条項：サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。